

# EM-Plugs ermöglichen präzise digitale Zwillinge von HF-ICs

Bei modernen Hochfrequenz-ICs sind digitale Zwillinge zu einem essenziellen Hilfsmittel geworden, um das Verhalten der Bauelemente unter realen Bedingungen präzise vorhersagen zu können.

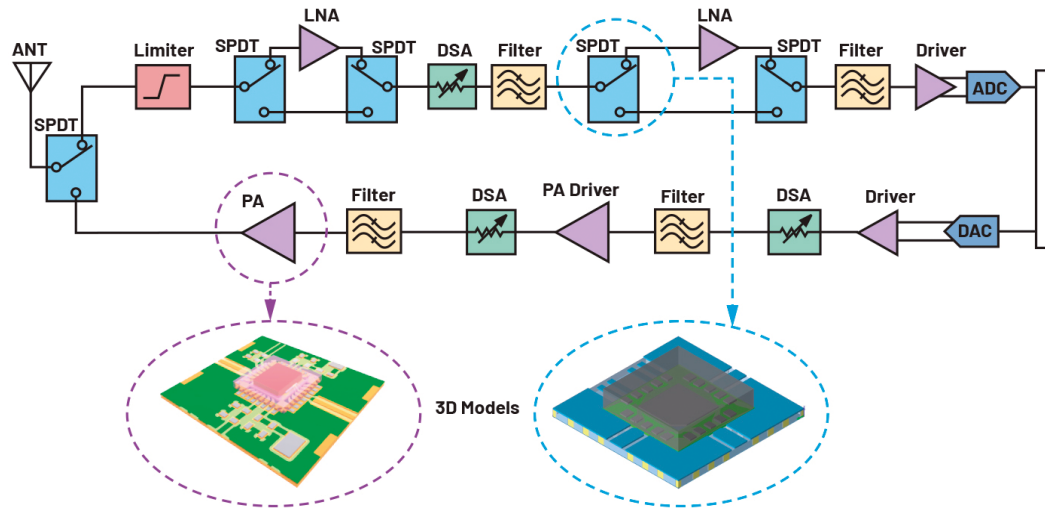


Bild 1: Beispiel einer HF-Signalkette

Auch wenn S-Parameter weiterhin die gängige Methode zur HF-Charakterisierung bleiben, lässt sich das substratabhängige Verhalten mit ihnen nicht exakt modellieren, weil der Übergang vom Chip zur Leiterplatte hinter der Bezugsebene liegt, sodass die HF-Analyse einen erheblichen blinden Fleck aufweist.

Um diese Lücke zu schließen, bietet Analog Devices mit dem EM-Plug ein neues Simulationsmodell-Konzept an, das einen praktikablen Weg zum Erstellen eines präzisen, elektromagnetisch basierten digitalen Zwillinges eines HF-IC ebnet. EM-Plug-Modelle sind schlank, modular und speziell darauf ausgerichtet, die beim Übergang zwischen Chip und Leiterplatte auftretenden Effekte mit großer Genauigkeit nachzubilden, sodass sich die Design- und Simulationszeiten entscheidend verkürzen lassen.

Step Attenuators, DASSs), digital abstimmbare Filter und Beamformer umfasst, ist für Applikationen bis 90 GHz vorgesehen und bietet Systemdesignern ein großes Maß an Flexibilität (Bild 1).

Wird ein HF-IC auf einem Substrat montiert, das von dem des Hersteller-Referenz-Designs abweicht, können die HF-Eigenschaften grundlegend anders ausfallen – insbesondere bei höheren Frequenzen. Dieses Verhalten vorherzusagen, ist alles andere als einfach, zumal die

traditionellen S-Parameter diese Veränderungen nicht berücksichtigen können. Um die HF-Performance des IC zu optimieren, müssen deshalb mehrere Optionen für den Übergang zwischen Chip und Leiterplatte durchgespielt werden. Dabei geht es um die Art der Leiterbahnen sowie layout- und prozessabhängige Parameter wie etwa Padgrößen und -abstände sowie Verjüngungen zu 50-Ohm-Übertragungsleitungen. Abhängig von den Design-Vorgaben und produktionsbedingten Restriktionen kann der Übergang als Coplanar Waveguide (CPW), Microstrip oder Stripline realisiert werden, aber auch Lötmasken und Lotpasten-Profile wirken sich auf das finale HF-Verhalten aus.

Natürlich sind S-Parameter weiterhin die gängige Methode zum Charakterisieren von HF-Kennwerten wie Rückflussdämpfung, Verstärkung und Isolierung. Sie werden für eine Bezugsebene definiert, die sich typischerweise an der Außengrenze des Chips oder am Ende einer 50-Ohm-Leiterbahn befindet (Bild 2). Diese Bezugsebene friert im Prinzip den Chip/Leiterplatte-Übergang für eine Substrat- und Baugruppenkonfiguration ein, bei der die S-Parameter gemessen werden.

## Jenseits der S-Parameter: Integration von HF-ICs in HF-Systeme

HF-ICs werden in hochentwickelten Anwendungen vielfach eingesetzt. Das Spektrum reicht von 5G-mmWave-Systemen über die Satellitenkommunikation und Kfz-Radarsysteme bis zu anspruchsvollen Prüf- und Messsystemen. Das HF-Produktportfolio von Analog Devices, das LNAs (Low-Noise Amplifiers), PAs (Power Amplifiers), HF-Schalter, Eichleitungen (Digital

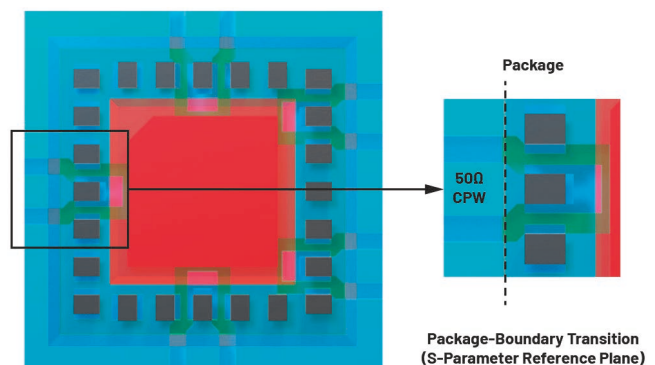


Bild 2: Bezugsebene der S-Parameter

Autoren:  
Sinan Alemdar und  
Gokhan Karaova  
Product Applications  
Engineers  
Analog Devices  
www.analog.com

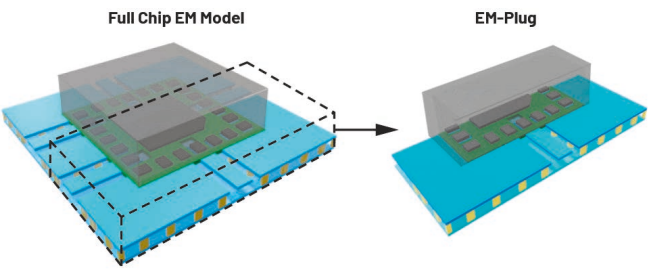


Bild 3: EM-Plug-Darstellung eines HF-Schalters in SP4T-Konfiguration

Dementsprechend lässt sich mit S-Parametern nicht exakt vorhersagen, wie die Leistungsfähigkeit des Bausteins durch die Implementierung auf einem anderen Substrat beeinflusst wird. Die HF-Analyse weist folglich einen blinden Fleck auf. Werden diese Übergangseffekte allerdings außer Acht gelassen, verschlechtert sich oftmals die Rückflussdämpfung, und es kommt zu Signalintegritätsproblemen.

Um diese Einschränkung zu überwinden, stellten HF-Designer eigenständige PCB-Testcoupons oder Matrixboards her, die mehrere Übergangs- und Lagenaufbau-Optionen für einen bestimmten Baustein evaluieren. Diese Vorgehensweise ist zwar effektiv, aber auch teuer und zeitaufwändig, da sie das Herstellen und Vermessen mehrerer Leiterplatten erfordert.

Verschärft wird die Herausforderung durch fortschrittliche Gehäusetechnologien wie QFN und BGA, denn hier kommen zusätzliche Variablen ins Spiel, wie etwa das Verhalten der Lötverbindungen und gehäusebedingte Parasitics, sodass sich das Erstellen exakter Prognosen des Systemverhaltens noch komplexer gestaltet.

Eine weitere gängige Methode nutzt die Vollwellen-EM-Simulation, um die Übergänge vom Chip zur Leiterplatte für einen bestimmten HF-IC und ein bestimmtes Substrat zu analysieren. Dieses Verfahren liefert fundierte Erkenntnisse über parasitäre Effekte, Kopplungsmechanismen und Abstrahlungsverluste, und Entwickler können damit Übergänge auf der Basis bestimmter Lagenaufbauten entwickeln und die Performance iterativ verbessern.

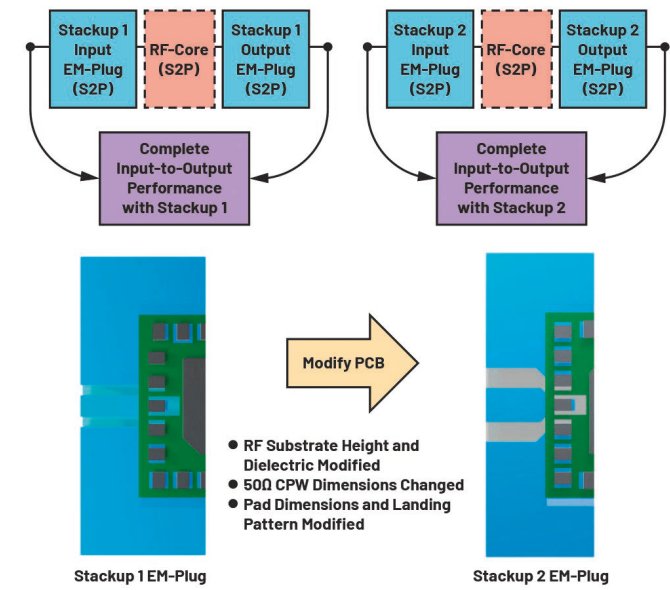


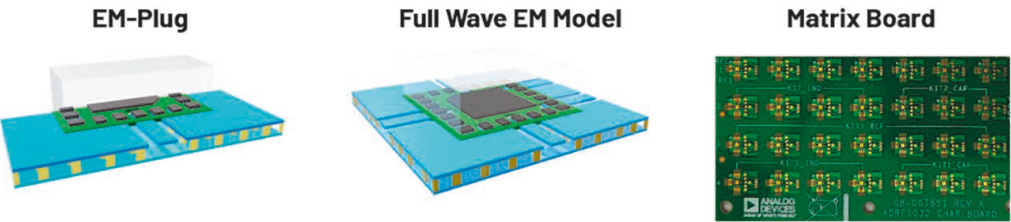
Bild 5: Funktionsweise eines EM-Plug-Modells

Dieses Konzept setzt jedoch in der Regel voraus, dass ein vollständiges EM-Modell des IC verfügbar ist. Dies aber kann Probleme mit sich bringen, die mit der Offenlegung von geistigem Eigentum (Intellectual Property, IP) zwischen verschiedenen Unternehmen zusammenhängen.

Hinzu kommt, dass Vollwellen-Simulationen sehr rechenaufwändig sind und lange Rechenzeiten mit sich bringen.

Wegen der großen Zahl der erforderlichen Simulationen ist das Ausloten von Fertigungs- und Montagetoleranzen deshalb unter Umständen nicht praktikabel.

Als Reaktion auf diese Herausforderungen hat ADI mit den EM-Plugs ein neues Simulationstool vorgestellt (Bild 3). Hier werden EM-Modelle der Gehäuseübergangs-Region gekapselt und den Anwendern direkt in die Hand gegeben. Diese schlanke und modulare Methode ist dafür konzipiert, den Chip/Leiterplatte-Übergang von Hochfrequenzprodukten so zu optimieren, dass eine rasche Evaluierung kritischer Leiterplattenvariablen möglich ist – darunter die Landing-Pattern-Geometrie, die Substratdicke, die Dielektrizitätskonstante, die Art der Leiterbahnen, Lotpasten- und Maskenprofile sowie die Chip-Platzierung und die Konfiguration der Bonddrähte. Eine EM-Plug-Simulation ist in wenigen Minuten durchführbar, während für eine Vollwellen-EM-Simulation mehrere Stunden einkalkuliert werden müssen. Bild 4 zeigt einen Vergleich zwischen der EM-Plug-Technik und der traditionellen Vollwellen-EM-Simulation und der Matrixboard-Methode.



|                                    |                                    |                               |
|------------------------------------|------------------------------------|-------------------------------|
| ● Chip-to-PCB Transition           | ● Complete Chip and PCB Transition | ● Blind PCB Transitions       |
| ● Simulation and Measurement-Based | ● Simulation-Based                 | ● Measurement-Based           |
| ● Fast Overall Design Time         | ● Long Simulation Time             | ● Manufacturing Time          |
| ● No IP Restriction                | ● Requires Encryption, Involves IP | ● No IP Restriction           |
| ● Tool Independent                 | ● Tool-Dependent Due to Encryption | ● Requires PCB Tool Expertise |
| ● Heavy Computation Not Required   | ● Heavy Computation Required       | ● Manufacturing Cost          |

Bild 4: Vergleich zwischen EM-Plug und anderen Methoden

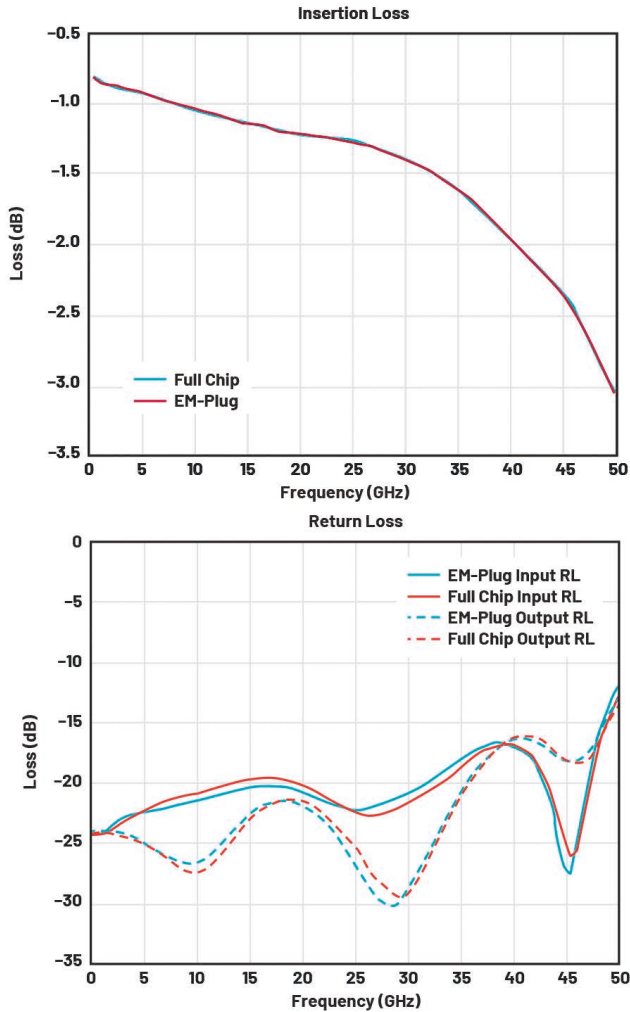
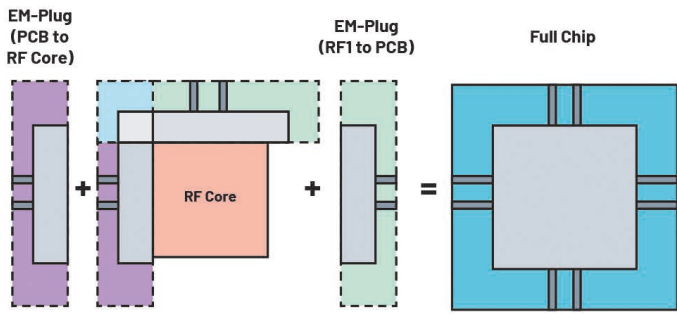


**Bild 6: EM-Plug- und Komplettsimulation des ADRF5049 im Vergleich**

## Wie funktionieren EM-Plug-Modelle?

Ein EM-Plug kapselt einen räumlich begrenzten Teil der Leiterplatte mit dem HF-Leitungssegment, dem Übergang zwischen Chip und Leiterplatte sowie relevanten Details wie etwa Lötmaske und Lotpaste. Bei Chip-and-Wire-Implementierungen modelliert das EM-Plug-Tool dagegen die Chip-Pad-Geometrie, die Bonddraht-

Struktur sowie einen kleinen Teil des Zielsubstrats wie etwa Aluminiumoxid oder LTCCs (Low-Temperature Co-Fired Ceramics). In beiden Fällen konzentriert sich das EM-Plug-Tool ausschließlich auf die physische Übergangsregion, die das HF-Verhalten dominiert.

Zusätzlich zum EM-Plug-Modell stellt ADI eine RF-Core-Datei in Form eines S-Parameter-Datensatzes zur Verfügung, der nur die internen Eigenschaften

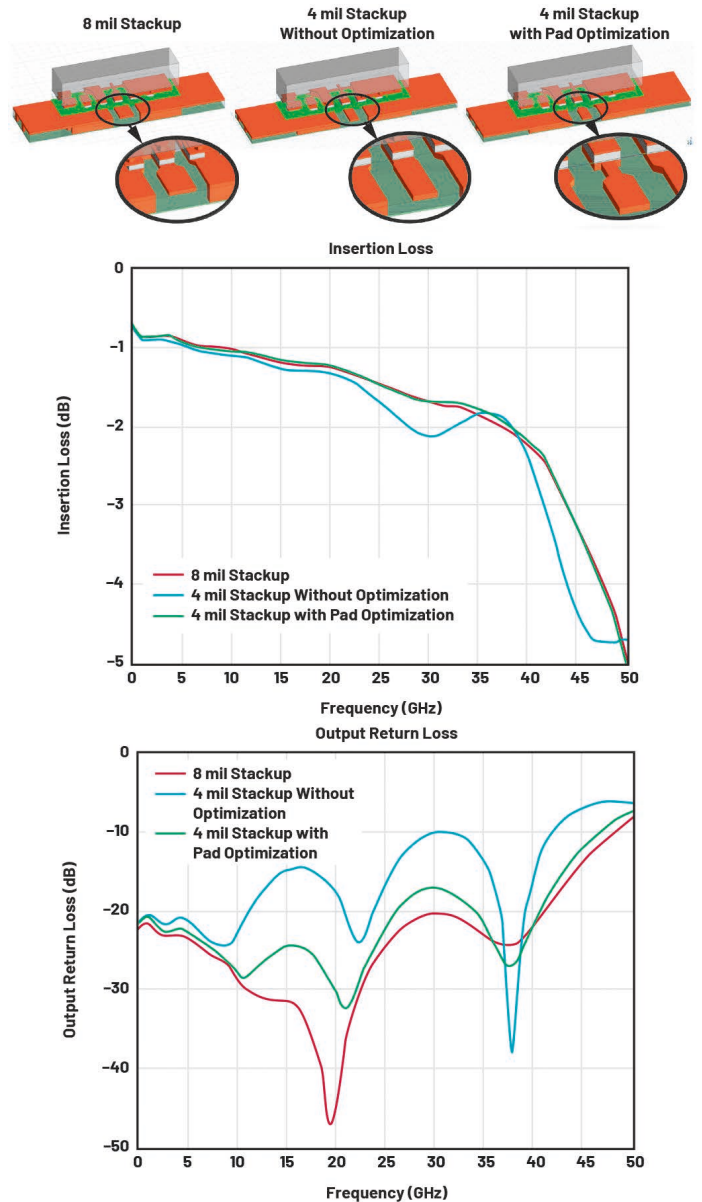


**Bild 7: ADRF5049 mit verschiedenen Lagenaufbauten und Optimierungen**

des HF-IC repräsentiert. Der RF-Core ist bewusst von der Gehäuse- und Leiterplatten-Umgebung abgekoppelt und wird mit den EM-Plug-Simulationsergebnissen kombiniert, um eine vollständige Darstellung des Bausteins in der jeweiligen Implementierung auf der Zielplatine zu erhalten.

Die Entwicklung der 3D EM-Plug Cores durch ADI geschieht mithilfe eines proprietären Algorithmus, der die reibungslose Integration und Funktionalität sicherstellen soll. Diese Technik beruht auf der kombinierten Analyse des in der EM-Simulation nachgebildeten Übergangs

zwischen Chip und Leiterplatte sowie der auf Messungen basierenden Darstellung der Interna des Bausteins. Diese Kombination bildet die Grundlage des EM-Plug-Konzepts, das für die präzise und effiziente Darstellung von HF-ICs in Systemsimulationen sorgt.

Zur Modellierung des gesamten HF-Signalfahrs wird für jeden HF-Pin des Bauelements ein EM-Plug-Modell erstellt. Diese einzelnen Übergangsmodelle werden anschließend unter Verwendung standardmäßiger S-Parameter-Kaskadierungsverfahren mit dem RF-Core kombiniert. Bild 5 veranschaulicht,

wie die Kombination aus EM-Plug-Modellen und RF-Core den kompletten HF-Übergang und das Verhalten des Bausteins im System des Kunden rekonstruiert.

EM-Plug-Modelle werden von ADI als Referenz-Design-Ressourcen entwickelt und ohne Urheberrechts-Beschränkungen öffentlich zugänglich gemacht. Die Modelle sind kompatibel zu standardmäßigen, kommerziellen EM-Simulations-Tools wie etwa ANSYS HFSS, Keysight ADS/EMPro oder ähnlicher Software, sodass sie problemlos in bestehende Workflows integrierbar sind und eine flexible, toolunabhängige Optimierung erlauben.

Bild 6 zeigt EM-Plug-basierte Ergebnisse im Vergleich mit dem Resultat der Komplettsimulation eines Chips. Das EM-Plug-Vertrieb sagt die Leistungsfähigkeit des gesamten Chips präzise voraus, liefert das Simulationsergebnis jedoch bereits nach einigen Minuten, während die Simulation des kompletten Chips selbst auf Parallelrechnern etwa vier Stunden in Anspruch nimmt.

### Anwendungsbeispiele für die EM-Plug-Simulation

- Integration eines HF-Schalters in verschiedene Leiterplatten-Lagenaufbauten

Die Bestückungsdichte, mechanische Restriktionen oder fertigungsbedingte Einschränkungen machen es den Designern bei realen Projekten unmöglich, den exakten Lagenaufbau nachzubilden. Der HF-Übergang muss deshalb beim Wechsel auf eine andere Substratkonfiguration wieder neu optimiert werden. Als Beispiel sei ein System angenommen, bei dem der ADRF5049 auf einem RO4003-Substrat zum Einsatz kommt, allerdings mit einer auf 4 mil reduzierten Dicke, während das Referenzdesign auf 8 mil basierte. Die CPW-Abmessungen und die Pad-Geometrie müssen in diesem Fall angepasst werden, um die Impedanzänderung infolge des dünneren Substrats abzubilden. Bild 7

zeigt einen Vergleich dreier verschiedener Chip-Leiterplatten-Übergänge, simuliert mit dem EM-Plug-Verfahren. Sämtliche Simulationen waren mit ANSYS HFSS binnen Minuten abgeschlossen, sodass eine zügige Sondierung und Optimierung der Übergangsgeometrie möglich war.

- Performance-Prognose für einen HF-Verstärker mit verschiedenen Lagenaufbauten

EM-Plug-Modelle lassen sich auch mit Messdaten kombinieren, um das Modellierkonzept über rein simulierte Umgebungen hinaus auszudehnen. Um dies zu demonstrieren, wurde eine couponbasierte Teststruktur entwickelt, um die Leistungsfähigkeit mit mehreren Lagenaufbauten zu testen. Für diese Studie wurde der ADL8102 gewählt, ein für Frequenzen bis 22 GHz geeigneter GaAs-LNA im LFCSP-Gehäuse, und es wurden zwei Lagenaufbauten verwendet: einmal mit 8 mil Gesamtdicke bis zur Massefläche und einmal mit einer Gesamtdicke von 18 mil zur Massefläche bei unterschiedlichen effektiven Dielektrizitätskonstanten. Diese Unterschiede haben deutliche Auswirkungen auf das Übergangsverhalten und die CPW-

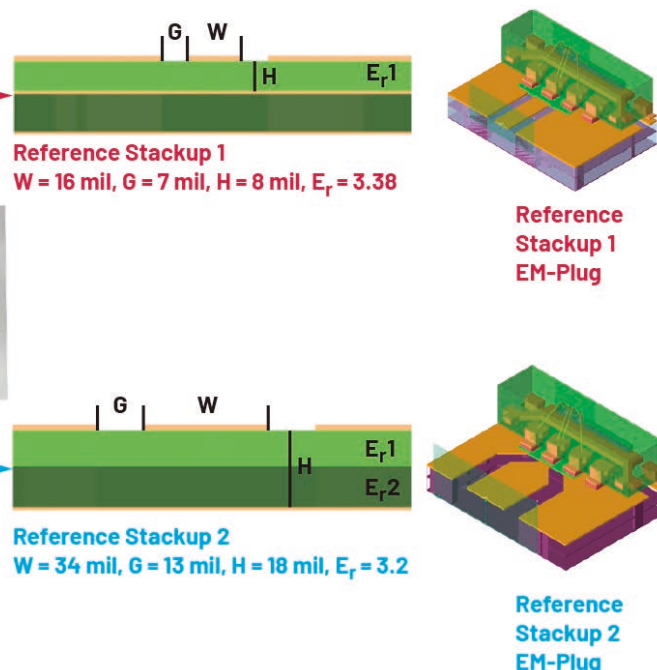


**Bild 8: ADL8102 auf verschiedenen Lagenaufbauten mit den jeweiligen EM-Plug-Modellen**

Abmessungen. Bild 8 zeigt links die hergestellten Leiterplatten, die mit Through-Line-Strukturen für das De-Embedding ausgestattet sind. Rechts sind die entsprechenden EM-Plug-Modelle zu sehen.

Mit den EM-Plug-Modellen lässt sich die HF-Performance des ADL8102 mit beiden Lagenaufbauten abschätzen. Die vorhergesagten Ergebnisse zeigen, wie in Bild 9 dargestellt, eine starke Korrelation mit den Messdaten, was die Genauigkeit der EM-Plug-Methode für auf Messungen basierende Workflows bestätigt.

- Bauelemente mit mehreren HF-Zuständen: Digitale Eichleitungen

Als besonders effektiv erweist sich das EM-Plug-Verfahren bei HF-ICs mit mehreren Betriebszuständen, wie zum Beispiel digitalen Eichleitungen (Digital Step Attenuators, DSAs). Bei diesen Bauelementen kann ein und dasselbe EM-Plug-Modell immer wieder verwendet und mit RF-Core-Modellen kaskadiert werden, die verschiedenen Abschwächungseinstellungen entsprechen.

Dies gestattet eine effiziente Evaluierung der HF-Performance für sämtliche Betriebs-

arten, ohne dass die EM-Simulationen für jeden Zustand wiederholt werden müssen.

Bild 10 zeigt die EM-Plug-basierten Simulationsergebnisse für den ADRF5740 bei mehreren Abschwächungseinstellungen und macht deutlich, wie zügig und konsistent das zustandsabhängige Verhalten analysiert werden kann.

- Unterstützung für mehrere Gehäusebauarten und Leitungsimplementierungen

EM-Plug-Modelle sind für eine breite Palette von HF-IC-Gehäusen und Leitungsstrukturen verfügbar, sodass sie bei den unterschiedlichsten Kundendesigns einsetzbar sind. Die Technik unterstützt gängige HF-Verbindungskonzepte wie etwa Coplanar Waveguide, Microstrip und Stripline sowie mehrere Gehäuseformate wie zum Beispiel LGA, LFCSP, Chip and Wire und Flip-Chip SMT (Surface Mount Technology).

Bild 11 zeigt einige Beispiele von EM-Plug-Modellen für verschiedene Gehäusebauarten (oben) und Übergangs-Konfigurationen (unten) und unterstreicht die Flexibilität dieser Methode für unterschiedliche HF-Integrationsszenarien.

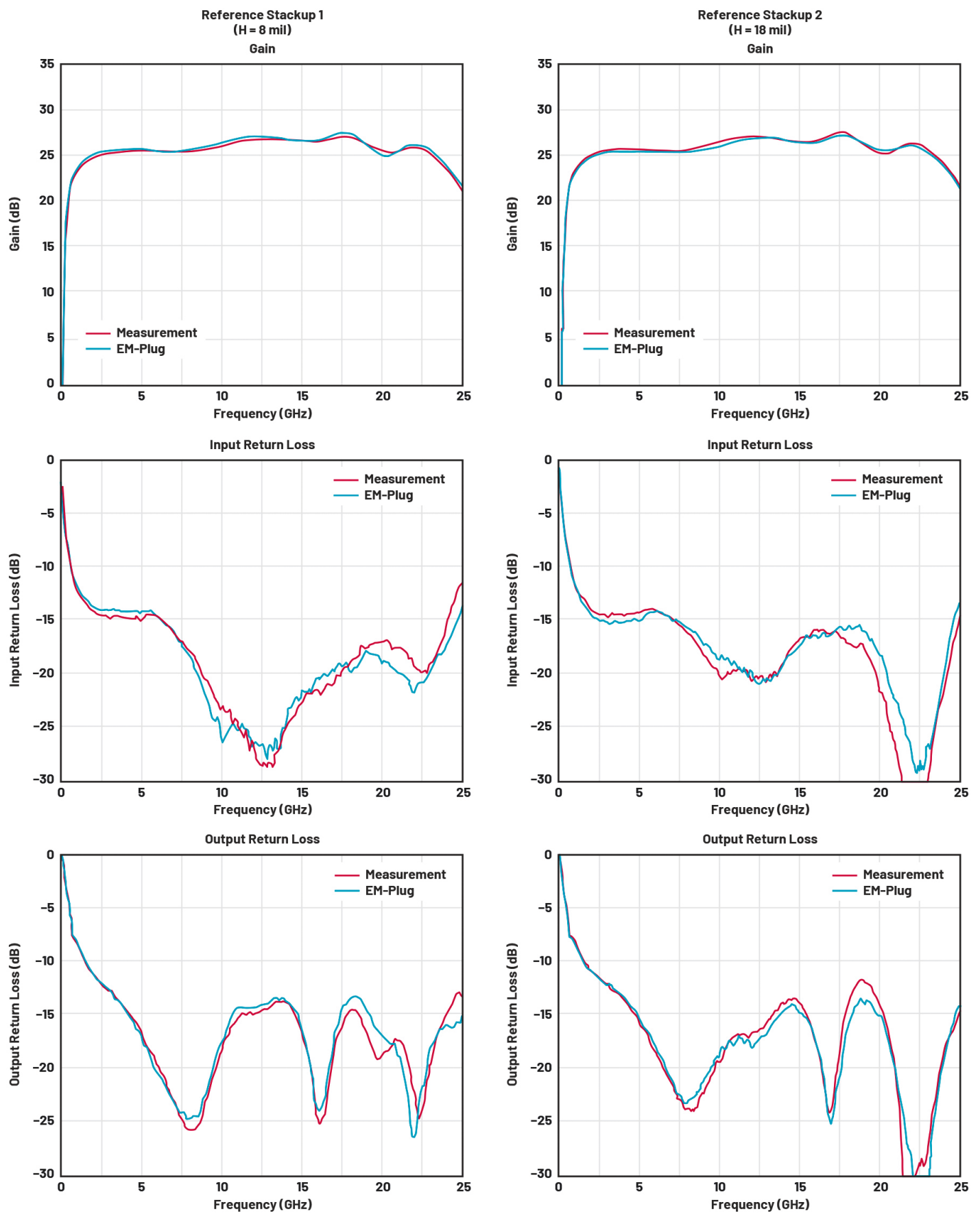


Bild 9: Messergebnisse zum ADL8102

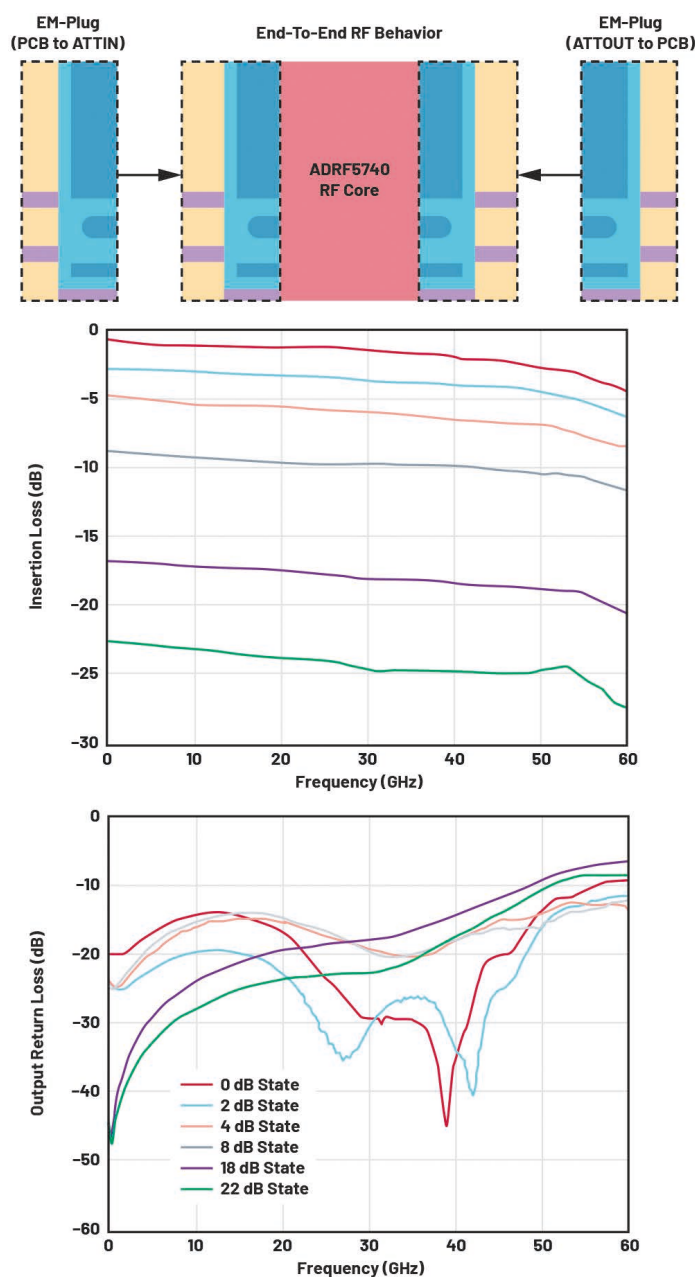


**Bild 10: Der ADRF5740 in verschiedenen Abschwächungs-Zuständen**

## Fazit

Da HF-ICs immer höhere Frequenzen unterstützen und immer stärker in komplexe Systeme integriert werden, wird die exakte Vorhersage ihrer realen Leistungsfähigkeit zu einer ständig wachsenden Herausforderung. Traditionelle Charakterisierungsmethoden auf der Basis von S-Parametern reichen folglich nicht mehr aus, um die Auswirkungen der Übergänge zwischen Chip und Leiterplatte sowie von Substratvariationen und Montageeffekten zu erfassen,

die letztendlich das Systemverhalten definieren. Diese seit langem bestehende Lücke hat die Genauigkeit von HF-Simulationen beeinträchtigt und dazu geführt, dass vermehrt auf Hardware-Iterationen gesetzt wurde.

EM-Plug-Modelle bringen einen grundlegend neuen Modellierungsansatz ins Spiel, indem sie den Übergang zwischen Chip und Leiterplatte auf praktikable und skalierbare Weise in die elektromagnetische Simulation einbinden. Durch Unterteilung des Problems in ein übergangsorientiertes EM-Modell und

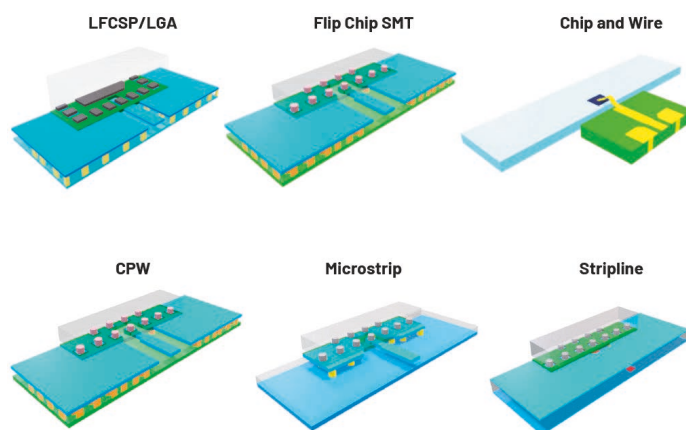


**Bild 11: EM-Plug-Modelle für unterschiedliche Gehäusetypen und Leitungsarten**

eine Darstellung des HF-Kerns decken EM-Plug-Modelle die vorrangigen Ursachen von Performance-Schwankungen ab, ohne dass sensibles geistiges Eigentum offengelegt wird oder rechenaufwändige EM-Simulationen des gesamten Chips erforderlich sind. Dies erlaubt ein zügiges Ausloten von Kompromissen in Sachen Layout, Lageraufbau und Montage, was die Simulationszeit gravierend verkürzt und eine raschere Designkonvergenz ergibt.

Wichtiger noch ist die Tatsache, dass EM-Plug-Modelle einen entscheidenden Baustein für das Erstellen eines exakten digitalen Zwillings darstellen, der genau wiedergibt, wie sich ein HF-Baustein nicht unter idealisierten Bedingungen, sondern in seiner realen Systemumgebung verhält. Die Methode eignet sich für ein breites Spektrum von HF-Bauelementen und Integrations-szenarien. Langfristig ist angedacht, EM-Plug-Modelle für das gesamte HF-Bausteinportfolio anzubieten, sodass konsistente, originalgetreue digitale Zwillinge erstellt werden können, die einen Brückenschlag zwischen Charakterisierung und realer Implementierung bilden. Indem sie diese Lücke schließen, bringen EM-Plug-Modelle die Voraussetzungen dafür mit, die Arbeitsabläufe beim HF-Design umzugestalten und kompetentes HF-Design zu einem dauerhaften Alleinstellungsmerkmal in der Branche zu machen.

Detaillierte Dokumentation, Applikations-Ressourcen und eine Liste mit sämtlichen verfügbaren EM-Plug-Modellen finden Sie auf [analog.com/emmodels](http://analog.com/emmodels).

## Wer schreibt:

Gokhan Karaova arbeitet im Istanbul Design Center als Senior Product Applications Engineer in der ADEF and Communications Group von ADI. Er leistet Anwendungsunterstützung für eine Reihe von HF-Produkten, darunter HF-Verstärker, Schalter, Dämpfungsglieder und Frontends. Er ist seit 2022 bei Analog Devices und hat an der Middle East Technical University ein Bachelor- und ein Master-Diplom in Elektrotechnik erworben.

Sinan Alemdar ist im Istanbul Design Center als Product Applications Engineer in der ADEF and Communications Group von ADI tätig und für die Anwendungsunterstützung für verschiedene HF-Produkte, darunter Schalter, Dämpfungsglieder und Frontends zuständig. Er kam 2016 zu Analog Devices, nachdem er vier Jahre in der Aerospace- und Rüstungsbranche tätig war. Sein Elektrotechnik-Studium an der Bilkent-Universität schloss er mit einem Bachelor- und einem Masterdiplom ab und erwarb außerdem einen Dokortitel. ◀