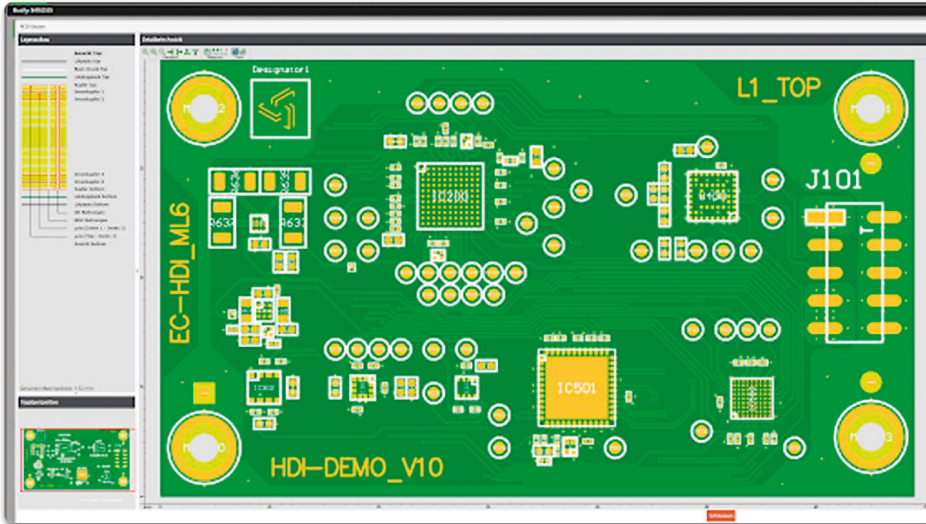


Partielles HDI beschleunigt das Layout

Wie standardisierte HDI-Aufbauten komplexe Layouts vereinfachen, Kosten senken und Entwicklungszeiten verkürzen, ohne den Aufwand eines kompletten HDI-Designs betreiben zu müssen, lesen Sie hier.



Beispiel für den HDI-Pool: Sechslagiges-Testboard, vorerstellt von Ciboard electronic mit typischen Bauteilen im Eurocircuits Visualizer

Um die Anschlüsse einzelner μ BGAs oder CSPs zu entflechten, führt an HDI- und Microvia-Technik kein Weg vorbei. Full-HDI schafft die notwendige Design-Freiheit, hat jedoch seinen Preis. In vielen Fällen reicht partielle HDI-Technik aus: Komplexität, Kosten und Lieferzeit lassen sich deutlich reduzieren. Standardisierte, im Pool gefertigte Multilayer-Konstruktionen ermöglichen einen direkten Einstieg ins Layout und beschleunigen den gesamten Entwicklungsprozess.

Background:

Immer mehr Designs für industrielle, IoT- und energieeffiziente Systeme enthalten Standardbauteile in winzigen Gehäuseformen aus mobilen Anwendungen: μ BGAs, CSPs oder zweireihige QFNs. Die Anforderungen an das Leiterplatten-Design steigen – und konventionelle Multilayer-Technologie stößt an klare Grenzen.

Innenliegende Pins lassen sich nicht mehr zuverlässig ausrouten, Via-Stubs verschlechtern das Signalverhalten in High-Speed-Anwendungen und thermisch belastete Pads erfordern eine direkte Anbindung an Referenzlagen.

Um diese Strukturen zu entflechten, führt an HDI- und Microvia-Technik kein Weg vorbei.

In der Praxis wird häufig direkt auf einen beidseitigen HDI-Aufbau oder Full-HDI gesetzt. Für einzelne Bauteile ist das möglicherweise überdimensioniert mit entsprechend höheren Fertigungsaufwand und -kosten. Ein vollständiger HDI-Aufbau schafft maximale Design-Freiheit, ist für Prototypen und Kleinserien jedoch oft nicht die wirtschaftlichste Lösung.

Partielle HDI-Technik setzt hier an. Microvia-Strukturen werden nur dort eingesetzt, wo man

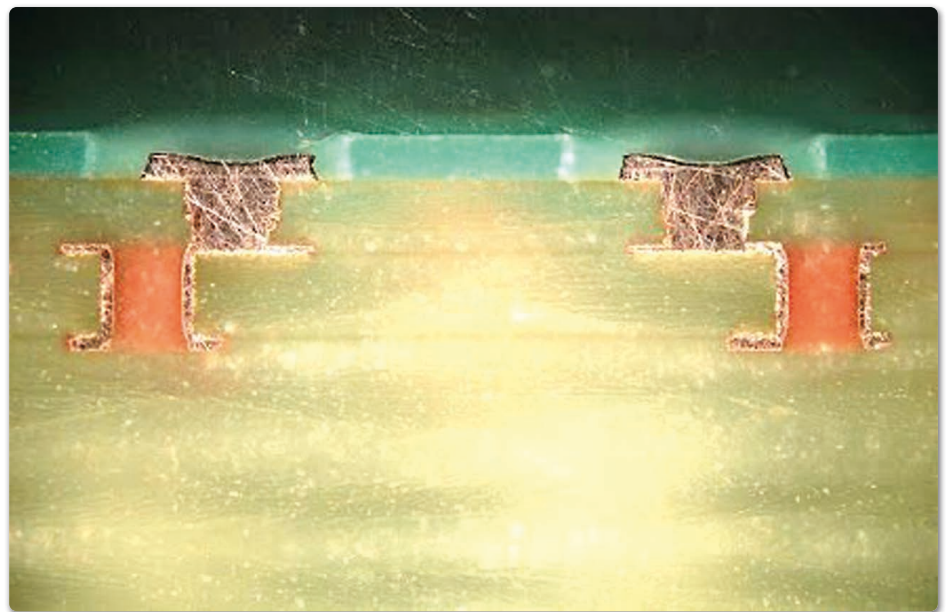
sie braucht: auf einer Seite des Multilayers. Fachleute sprechen auch von einem halben HDI. Der restliche Aufbau bleibt in bewährter Multilayer-Technologie. Die notwendige Routing-Dichte für Fine-Pitch-Bauteile entsteht, ohne das Design unnötig zu verkomplizieren.

Der eigentliche Fortschritt

liegt nicht allein in der Technologie, sondern in ihrer Standardisierung und direkten Nutzbarkeit im Design-Prozess. Im HDI-Pool stehen dafür vordefinierte 6- und 8-Lagen-Multilayer zur Verfügung, bei denen die Microvia-Technologie gezielt auf einer Leiterplatenseite eingesetzt wird. Verwendet werden staggered (versetzt angeordnete) Microvias mit 100 μ m Durchmesser: Laserbohrungen zwischen den Lagen L1 und L2 sowie mechanische Bohrungen zwischen L2 und L3.

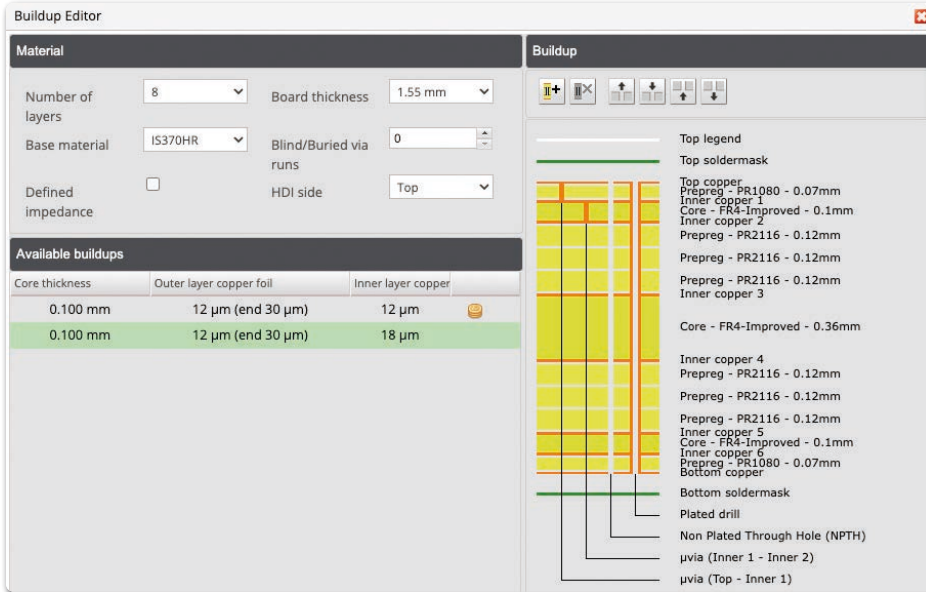
Die Microvias zwischen L1 und L2 sind kupfergefüllt und als Via-in-Pad nutzbar. Die planare Kupferfüllung reduziert das Risiko von Voids in den Lötstellen deutlich. Im Vergleich zu einem Full-HDI-Aufbau bleibt die halbe, einseitige HDI-Konstruktion einfacher und damit schneller sowie kostengünstiger zu fertigen.

Der vordefinierte Lagenaufbau ermöglicht den direkten Einstieg ins Layout ohne aufwendige Abstimmung mit dem Leiterplattenfertiger und gewährleistet gleichzeitig fertigungssichere Randbedingungen.



Schliffbild des Multilayers im HDI pool mit zwei Microvia-Lagen auf einer Leiterplatenseite: Die Microvias zwischen L1 -L2 sind gelasert und mit Kupfer verfüllt, die Microvias zwischen L2-L3 sind mechanisch gebohrt

Autor:
Uwe Dörr
Geschäftsführer
Eurocircuits GmbH
www.eurocircuits.com



Vordefinierter 8-Lagen-Multilayer-Aufbau mit zwei Microvia-Lagen auf einer Leiterplattenseite (partielles HDI)

Wann ist partielles HDI die richtige Wahl?

- Einzelne μ BGAs, CSPs oder QFNs lassen sich nicht mehr sauber ausrouten.
- Full-HDI wird diskutiert, erscheint aber überdimensioniert.
- nur lokal erhöhte Routing-Dichte im Layout erforderlich
- High-Speed-Signale verlangen kontrollierte Impedanzen.
- Thermal Pads müssen direkt und zuverlässig angebunden werden.
- Projekt erfordert kurze Iterationen und schnelle Verfügbarkeit.

Faustregel: So viel HDI wie nötig.

Der Nutzen im Layout

zeigt sich in typischen Anwendungen: Beim Routing eines μ BGA mit 0,5 mm Pitch lassen sich Signale effizient über die Lagen L1 und L3 führen, während L2 als stabile Referenzlage dient. Die Masseanbindung erfolgt über Microvias zwischen L1 und L2. Das Ergebnis ein kompaktes, EMV-günstiges Layouts ohne vollständigen HDI-Aufbau.

Auch im High-Speed-Design bietet partielle HDI-Technik Vorteile. Differenzielle Leiterpaare lassen sich stubfrei führen, indem gestaffelte Microvias gezielt eingesetzt werden. Reflexionen werden reduziert und Impedanzen definiert;

eine wesentliche Voraussetzung für zuverlässige Datenübertragung bei hohen Frequenzen.

Eine weitere Anwendung

sind thermisch anspruchsvolle Bauteile wie QFNs. Kupfergefüllte Microvias ermöglichen eine direkte Anbindung von Thermal Pads an innere Kupferlagen. Plan verfüllte Vias verhindern typische Lötprobleme wie Voids oder Löt-zinnabfluss und verbessern gleichzeitig die Wärmeableitung.

In Kombination mit standardisierten, im Pooling fertigen Aufbauten entsteht ein durchgängiger Ansatz für Prototypen und kleine Serien.

Entwickler starten direkt mit einem validierten Lagenaufbau, setzen ihre Layouts im CAD um und prüfen diese automatisiert auf Fertigbarkeit. Rückmeldungen zu Design-Regeln, Kosten und Lieferzeit stehen unmittelbar zur Verfügung. So entsteht ein effizienter Entwicklungsprozess mit weniger Iterationen und hoher Planungssicherheit.

In der Praxis zeigt sich: Bereits wenige kritische Bauteile im Design erfordern den Einsatz von HDI-Technik, jedoch nicht zwangsläufig einen vollständigen HDI-Aufbau. Entscheidend ist nicht die maximale Technologie, sondern ihr gezielter Einsatz standardisiert, praxisnah und wirtschaftlich umsetzbar. ◀

Partielles HDI und Pooling-Fertigung: die wichtigsten Vorteile

- hohe Routing-Dichte für Fine-Pitch-Bauteile (bis 0,4 mm Pitch)
- reduzierte Designkomplexität gegenüber Full HDI
- kürzere Lieferzeiten durch standardisierte Aufbauten
- kosteneffiziente Umsetzung für Prototypen und Kleinserien
- verbesserte Signalintegrität durch stubfreies Routing
- zuverlässige thermische Anbindung mit Via-in-Pad
- reproduzierbare Ergebnisse durch vordefinierten Lagenaufbau

Somit mehr Möglichkeiten im Design ohne unnötige Komplexität.

Name	Material	Type	Weight	Thickness	Dk	Df
Top Overlay		Overlay				
Top Solder	Solder Resist	Solder Mask		0,02mm	3,9	
1 Top Layer		Signal	1oz	0,03mm		
Dielectric 1	PR1080	Prepreg		0,07mm	3,9	0,02
2 Inner 1	CF-004	Signal	1/2oz	0,018mm		
Dielectric 2	FR4-Improved	Core		0,1mm	4,26	
3 Inner 2	CF-004	Signal	1/2oz	0,018mm		
Dielectric 3	PR2116	Prepreg		0,12mm	4,08	0,02
Dielectric 4	PR2116	Prepreg		0,12mm	4,08	0,02
Dielectric 5	PR2116	Prepreg		0,12mm	4,08	0,02
Dielectric 6	FR4-Improved	Prepreg		0,36mm	4,8	0,02
Dielectric 7	PR2116	Prepreg		0,12mm	4,08	0,02
Dielectric 8	PR2116	Prepreg		0,12mm	4,08	0,02
Dielectric 9	PR2116	Prepreg		0,12mm	4,08	0,02
4 Inner 3	CF-004	Signal	1/2oz	0,018mm		
Dielectric 10	FR4-Improved	Core		0,1mm	4,26	
5 Inner 4	CF-004	Signal	1/2oz	0,018mm		
Dielectric 11	PR1080	Prepreg		0,07mm	3,9	0,02
6 Bottom Layer		Signal	1oz	0,03mm		
Bottom Solder	Solder Resist	Solder Mask		0,02mm	3,9	
Bottom Overlay		Overlay				

Die Vorlage für Altium-Design-Regeln (.RUL file) und der Lagenaufbau (.stackup file) für das Leiterplatten-Design stehen im Eurocircuits-Kundenkonto zum Download bereit.