

Ein Highspeed-Steckverbinder für alle Branchen

PCI Highspeed Protokolle und deren Verwendungen in verschiedenen Branchen



Signalübertragung Colibri, alle Bilder © ept GmbH

PCIe – Eine Schnittstelle mit Zukunft

PCI, Peripheral Component Interconnect, ist ein Busprotokoll für die Chip-to-Chip Kommunikation und den Anschluss von externen Peripheriegeräten. Seit der Einführung des PCI-Standards in den frühen 1990er-Jahren hat sich die Datenkommunikation in Computersystemen grundlegend verändert. Mit PCI steht heute ein hochskalierbares und leistungsstarkes Interface zur Verfügung, das in nahezu allen Bereichen moderner Elektronik-anwendung findet – von High-End-Grafikkarten bis hin zu Servern und Embedded-Systemen.

Doch mit zunehmender Performance steigen auch die Anforderungen an Leiterplatten, Signalqualität und elektromagnetischer Verträglichkeit. Der folgende Beitrag beleuchtet den technologischen Fortschritt von PCI, die damit verbundenen Herausforderungen im Leiterplatten-design und zeigt Lösungsansätze durch Board-to-Board Steckverbinder-systeme für zukünftige Hochgeschwindigkeitsanwendungen.

Die Entwicklung von PCI zu PCIe

Mit dem Übergang von klassischem PCI zu PCI Express (PCIe) um das Jahr 2004 wurde eine neue Ära in der Datenübertragung eingeleitet. Während PCI 2.2 mit maximal 133 MB/s vergleichsweise begrenzt war, erlaubt PCIe 6.0 in der (x8)-Konfiguration theoretisch bis zu 64 GB/s – eine nahezu tausendfache Steigerung. Besonders bemerkenswert ist dabei die Innovationsgeschwindigkeit: Etwa alle drei Jahre verdoppelt sich die Highspeed-Bandbreite der PCIe-Protokolle (Bild 1).

Enorme Entwicklung

Diese enorme Entwicklung zeigt sich vor allem in datenintensiven Anwendungsfeldern wie künstlicher Intelligenz, autonomen Fahren oder High-Performance-Computing.

Während PCIe 5.0-Systeme in Rechenzentren aktuell schon 32 GB/s ermöglichen, kommen im traditionellen Embedded-Markt derzeit noch hauptsächlich PCIe 3.0-Anwendungen mit 8 GB/s zum Einsatz. Erste PCIe 4.0-Module befinden sich hierzu erst in der Einführung, der breitere Marktanlauf wird jedoch erst in etwa fünf Jahren erwartet. Für Steuerungssysteme für das teilautomatisierte Fahren gemäß SEA Level 3 werden aktuell PCIe 4.0 Protokolle eingesetzt, für das vollautomatisierte Fahren gemäß Level 4 & 5 ist das PCIe 5.0 System notwendig. Bild 2 zeigt die PCIe-Generationen mit ihren Bandbreiten.

Warum ist PCIe der Zeit voraus?

Es fällt auf, dass die Entwicklung der PCIe-Schnittstellen oft deutlich schneller voranschreitet als die reale Nutzung. Dafür gibt es mehrere Gründe:

- **Zukunftssicherheit:** Hersteller entwickeln Schnittstellen mit Blick auf zukünftige Anforderungen – sie sollen auch in Jahren noch genügend Leistungsreserven bieten.
- **Technologische Innovationen:** Fortschritte in Material- und Fertigungstechniken erlauben kontinuierlich höhere Datenraten.
- **Skalierbarkeit:** PCIe ist modular und kann an zukünftige Anforderungen flexibel angepasst werden.
- **Marktdruck:** Hersteller stehen im Wettbewerb und wollen stets die neueste Technik anbieten – auch wenn diese noch nicht voll genutzt wird.

Der PCIe-Technologietransfer erfolgt von den Serveranwendungen für künstliche Intelligenz zum autonomen Fahren bis hin zu Embedded Anwendungen in der Industrieautomatisierung.

I/O Bandbreite

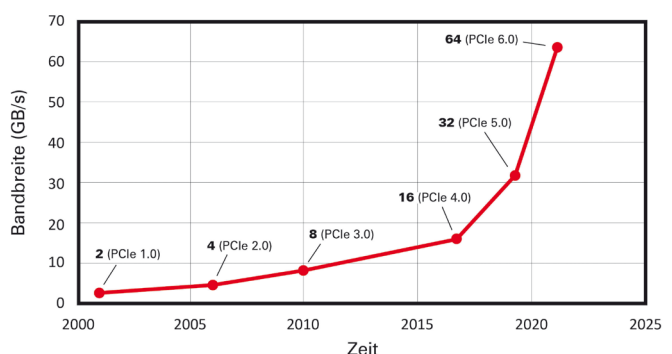


Bild 1: Von PCI anhand (x8) Lane Konfiguration

Autoren:
Florian Guglhör,
Martin Adamczyk
ept GmbH
www.ept.de

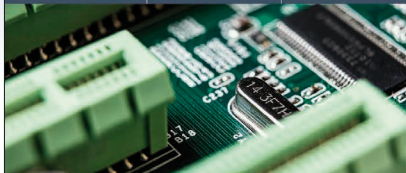
Generation	Datenrate pro Lane	GB/s pro Lane	Theoretische Bandbreite (GB/s)			
			X1 Lanes	X4 Lanes	X8 Lanes	X16 Lanes
						
PCIe 1.0	2,5 Gbit/s	ca. 0,25 GB/s	0.25	1.0	2.0	4.0
PCIe 2.0	5 Gbit/s	ca. 0,5 GB/s	0.5	2.0	4.0	8.0
PCIe 3.0	8 Gbit/s	ca. 1 GB/s	1.0	4.0	8.0	16.0
PCIe 4.0	16 Gbit/s	ca. 2 GB/s	2.0	8.0	16.0	32.0
PCIe 5.0	32 Gbit/s	ca. 4 GB/s	4.0	16.0	32.0	64.0
PCIe 6.0	64 Gbit/s	ca. 8 GB/s	8.0	32.0	64.0	128.0

Bild 2: PCIe Generationen und deren Bandbreiten

Herausforderungen im Design moderner PCIe-Systeme

Die immer weiter steigenden Datenmengen stellen Entwickler vor zahlreiche Herausforderungen. Viele neue Anwendungen haben die Vorgabe, doppelt so hohe Datenmengen zu verarbeiten, sollen aber gleichzeitig gleich großen Bauraum nutzen wie ältere Versionen. Dies führt früher oder später unweigerlich zu immer komplexeren Designs und teilweise zur Miniaturisierung von einzelnen Komponenten, was wiederum zu höheren Preisen führt.

Teures Leiterplattendesign

Mit steigenden Datenraten wachsen auch die Anforderungen an die physikalische Signalführung. Hochfrequente Signale über 16 Gbit/s (z. B. bei PCIe 4.0) erfordern aufwendige Leiterplattendesigns mit mehreren Lagen, speziellen Materialien und präzise kontrollierter Impedanz. Microvias, spezielle Dielektrika und High-Density Interconnects (HDI) treiben die Herstellungskosten zusätzlich in die Höhe.

Begrenzungen bei 25 Gbit/s Ethernet auf COM Express

Trotz ausreichender Bandbreite durch PCIe 4.0 (16 Gbit/s pro Lane) ist die Implementierung von 25 Gbit/s Ethernet auf COM-Express (Computer on Module) aktuell noch nicht durchgängig realisiert.

Hauptgründe:

- Fehlende Integration von 25 Gbit/s-Ethernet-Controllern in COM-Modulen
- Unzureichende Treiber- und Firmware-Unterstützung

- Begrenzte Signalqualität durch bestehende Komponenten
- Inkompatible Kabel- und Stecksysteme

Platzbedarf auf der Leiterplatte bei 440 Signalen

Ein weiterer Engpass ist der physikalische Platz auf der Leiterplatte. Anwendungen mit bis zu 400 Signalen – z. B. bei FPGAs oder COM-Express-Modulen – benötigen ein komplexes Multilayer-Routing (häufig 10 - 16 Lagen), kontrollierte Impedanz, differenzielle Paare und ein EMV-optimiertes Layout. Die Miniaturisierung solcher Systeme verschärft dieses Problem zusätzlich.

Elektromagnetische Verträglichkeit (EMV)

Höhere Frequenzen führen zu stärkeren elektromagnetischen Abstrahlungen. In hochintegrierten Designs mit engem Signalabstand entstehen Reflexionen, Crosstalk und Störungen – was robuste Schirmkonzepte und Masseführungen erfordert.

High-Speed Steckverbinder für optimalen Datentransport

Die beschriebenen Herausforderungen – vom kostspieligen Leiterplattendesign über Platzmangel bei hoher Signaldichte bis hin zu EMV-Problemen – machen deutlich, dass klassische Designansätze bei modernen PCIe-Anwendungen zunehmend an ihre Grenzen stoßen. Insbesondere im Embedded-Bereich sind innovative Verbindungslösungen gefragt, die hohe Datenraten zuverlässig, platzsparend und kostenoptimiert ermöglichen.

Mit dem neuen Colibri-Interface in drei Varianten, steht eine Lösung zur Verfügung, die speziell für Hoch-

geschwindigkeitsanwendungen im Embedded-Bereich konzipiert wurde:

- **10+:** Für COM Express Module gemäß Revision 2.1
- **16+:** Für COM Express Module gemäß Revision 3.1
- **25+:** Für COM Express Module gemäß Revision 3.1 und 25 Gbit/s Ethernet Anwendungen

Der Grenzwert für eine Steckverbindung für PCIe 4.0 Anwendungen liegt für die Einfügedämpfung bei -1,8 dB bei einer Frequenz von 8 GHz. Bild 3 zeigt die Einfügedämpfung der drei beschriebenen Varianten.

Der Colibri 25+ Steckverbinder (Aufmacherbild) übertrifft die PCIe-Anforderungen, so können Verluste beim Highspeed-Design der kostenoptimierten Leiterplatte durch den Steckverbinder kompensiert werden.

Die Vorteile von Colibri:

- Günstigeres PCB-Design durch optimierte Layoutstruktur
- Unterstützt 25 Gbit/s Ethernet erstmals auf COM-Express-Basis

- Miniaturisierung & EMV-Optimierung durch integrierte Schirmung
- Zukunftssicher für PCIe 4.0 Anwendungen

Damit ermöglicht Colibri eine zuverlässige und skalierbare Signalübertragung bei Board-to-Board-Anwendungen, selbst bei engen Platzverhältnissen, hohen Datenraten - und ist damit eine wichtige Grundlage für die nächste Generation modularer Embedded-Systeme sowie Anwendungen in PCI-Schnittstellen.

Fazit

Die PCIe-Technologie hat sich zu einem zentralen Rückgrat moderner Computersysteme entwickelt und ist heute in zahlreichen Branchen vertreten. Mit jeder neuen Generation steigen die Datenraten – und mit ihnen die Herausforderungen für Entwickler und Hardwaredesigner. Besonders im Embedded-Bereich sind Lösungen wie Colibri gefragt, die kosteneffiziente, skalierbare und zukunftssichere Systemarchitekturen ermöglichen. Der Markt entwickelt sich rasant und mit ihm auch die Anforderungen – die Technik ist bereit. ◀

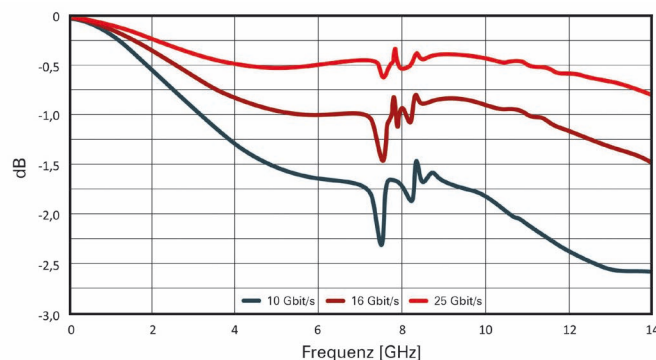


Bild 3: Insertion Loss der drei Varianten: 10+, 16+ und 25+ Gbit/s