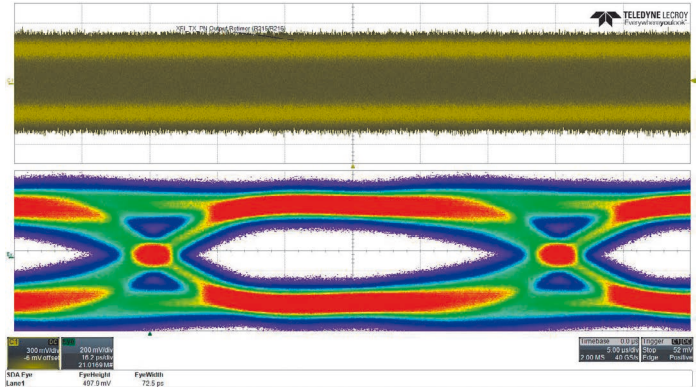
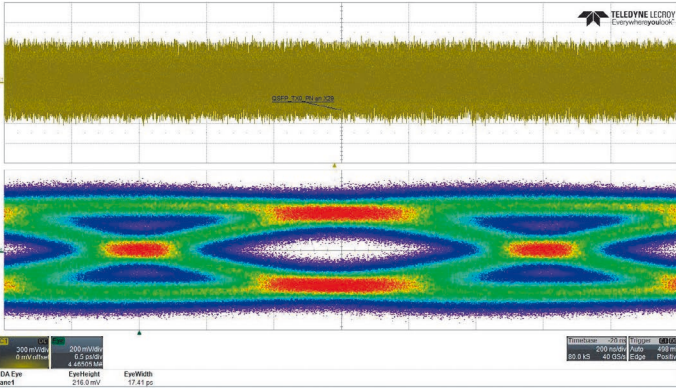


Die Augen offenhalten

Highspeed Design bei Embedded Modulen



Das Augendiagramm einer SerDes-Leitung
Alle Bilder © TQ-Systems

Ein Retimer stellt die Daten vollständig wieder her und erlaubt so eine scharfe neue Kopie zu senden.

Die steigende Leistungsfähigkeit von Embedded Baugruppen ermöglicht zwar immer neue Anwendungsmöglichkeiten, allerdings wird ihre Entwicklung auch immer anspruchsvoller. Mit Embedded Modulen lässt sich der Aufwand reduzieren, weil geprüfte Rechnerkerne zum Einsatz kommen.

Erhöhten bislang die steigenden Taktraten der Prozessoren den Entwicklungsaufwand, ist es heute zunehmend die Peripherie, die mit jeder neuen Generation massiv an der Frequenzschraube dreht. So legt beispielsweise das DDR-SDRAM von der vierten auf die fünfte Generation Version im IO-Takt vom 800 MHz bis 2666 MHz auf 2400 MHz bis 4000 MHz zu. Auch wenn die Frequenzen auf den ersten Blick noch überschaubar erscheinen, darf man nicht außer Acht lassen, dass es sich um eine parallele Übertragungsform mit zahlreichen Leitungen handelt.

Vergleichbare Entwicklungen sind unter anderem auch bei USB4 und Ethernet zu beobachten. Im Fall des Bussystems PCI Express müssen sich die Entwickler bei den Versionen 6.0 und 7.0 nicht nur wegen den höheren Frequenzen Gedanken machen, durch den Umstieg auf die störfempfindliche PAM-4-Modulation wird das Thema Signalintegrität noch zusätzlich verschärft.

Immer kürzere Signalweglängen

Neben diesen Herausforderungen müssen die Entwickler auch das Problem der immer kürzeren maximalen Signalweglängen in den Griff bekommen. So dürfen beispielsweise SerDes-Verbindungen in der Option CAUI-4, die für 100Gbit/s-Ethernet erforderlich ist, nur Verluste unter 10 dB auf dem Weg von der CPU zum Kommunikationsmodul haben. Zieht man das Budget für den Signalweg im Kommunikationsmodul und den Steckverbinder ab, bleibt etwas

mehr als die Hälfte übrig (eingelötete Prozessor-Module haben hier einen Vorteil von rund 2 dB gegenüber gesteckten). Damit fällt dem Dielektrikum der Leiterplatte eine entscheidende Rolle für die Länge des Routings zu - mit Standard FR4 blieben für das SerDes-Beispiel nur rund 66 mm Distanz bis zum Empfänger/Transceiver übrig.

Eine Möglichkeit das Problem zu entschärfen ist ein anderes Leiterplattenmaterial als Dielektrikum zu verwenden, was allerdings schnell ins Geld geht (Tabelle 1).

Retimer

Eine Alternative ist der Einsatz von Retimern zur Signalauffrischung. Auch diese gibt es nicht kostenlos, sowohl im Einkauf, als auch beim Strom- und Platzbedarf. Dabei muss man zwischen Retimern und Redrivers klar unterscheiden. Letztere verstärken lediglich ein Signal, während ein Retimer die Daten vollständig wiederherstellt

und eine scharfe neue Kopie sendet. Je nach Anwendung wird der Einsatz von beiden Maßnahmen notwendig – Highspeed gibt es nur selten kostenfrei.

Ansprüche der Highspeed-Bausteine

Sich Gedanken nur über die Dämpfung in der Leiterplatte zu machen, reicht leider nicht für ein Highspeed-Design aus. So muss beispielsweise auch eine saubere, gefilterte Versorgungsspannung für die Highspeed-Bausteine zur Verfügung stehen – sowohl für die externen als auch für die CPU-internen Komponenten. Parallel dazu steigen auch die Herausforderungen der EMV – die Entwickler sind also auf verschiedensten Gebieten gefordert. Eine Faustformel für Highspeed-Designs ist deshalb: Im Zweifelsfall simulieren! Damit einher geht aber auch ein erhöhter Aufwand – zeitlich sowie finanziell - für die Entwicklungswerkzeuge.

In die Pflicht genommen sind auch die Leiterplatten-Layouter, die einen erhöhten Aufwand wegen der hohen Frequenzen betreiben müssen. So sollte beispielsweise bei Datenraten von > 15 Gbit/s nur die Via-In-Pad-Technologie, Vias mit Backdrill und Anti-Pad-Bereich verwendet werden (siehe Kasten).

Fertige CPU-Module

Ein Highspeed-Design verlangt von praktisch allen Beteiligten signifikant mehr ab. Eine deutliche Reduktion dieses zusätzlichen Entwick-

Dielektrikum	Verlust pro Zoll	Maximale Leitungslänge für 5,2 dB Dämpfung
FR4	2 dB	66 mm
Isola 307HR	1,65 dB	80 mm
Nelco 4000-6	1,5 dB	88 mm
Nelco 4000-13	1,25 dB	105 mm
Rogers	0,95 dB	140 mm
Megtrone6	0,85 dB	155 mm

Dämpfung für CAUI-4-Signale (25,78125 Gbit/s bzw. 12,9 GHz) in der Leiterplatte

Vier Pulse Amplitude Modulation

PAM-4 (Vier Pulse Amplitude Modulation) verwendet vier verschiedene Signalstufen für die Übertragung von 2 Bits pro Takt. Damit verdoppelt sich die Übertragungsrate bei gleicher Bandbreite gegenüber der üblichen NRZ-Codierung mit seinen zwei Signalpegeln. Allerdings ist die Höhe/Öffnung im Augendiagramm bei PAM-4 nur ein Drittel von NRZ. Dadurch verschlechtert sich das Signal-Rausch-Verhältnis bei PAM-4, was sich auf die Signalqualität auswirkt und die Empfindlichkeit gegenüber Rauschen erhöht. Um der sich daraus ergebenden höheren Bitfehlerrate entgegenzuwirken, erfordert ein PAM-4-Kanal eine Entzerrung am Rx-Ende und eine Vorkompensation am Tx-Ende. Dies führt allerdings bei gleicher Taktrate zu einem höheren Stromverbrauch und Wärmeentwicklung als die NRZ-Verbindung.

lungsaufwandes lässt sich durch den Einsatz eines fertigen CPU-Moduls erzielen, da es beispielsweise den Aufwand für die Anbindung des Speichers und der wichtigsten Highspeed-Schnittstellen erspart. Für eine korrekte Kostenrechnung muss hier nicht nur die eingesparte Entwicklungszeit mit einkalkuliert werden, sondern auch der reduzierte Materialaufwand

für die Leiterplatte: Die kompakt gehaltenen CPU-Module müssen zwar möglicherweise das teuerste Dielektrikum nutzen, für die restliche Baugruppe reduzieren sich hier die Kosten, da auf günstigeres Material zurückgegriffen werden kann. Hinzu kommt, dass zumeist weniger Layer beim Applikations-Board notwendig sind, als beim CPU-Modul. Auch die Empfehlung bei Datenraten > 15 Gbit/s Microstrip Routing und Via-In-Pad-Technologie zu nutzen, erhöhen die Platinenkosten, lassen sich aber meist auf die CPU-Module beschränken.

Kostenrechnung

Dass sich der Einsatz eines CPU-Moduls für Embedded-Baugruppen rechnet, belegt die Produktpalette von TQ Embedded: Für diverse Single-Board-Computer nutzt TQ seine eigenen Module und nimmt dabei auch die Kosten für die Board-zu-Board-Steckverbinder in Kauf, da die Einsparungen für das Träger-Board diese mehr als ausgleichen. Das gilt über die gesamte Produktpalette hinweg, von der günstigen Basisplattform bis hin zu High-end-Lösungen wie dem TQMLX2160A. Das Modul basiert auf der NXP-Prozessorfamilie Arm Layerscape LX2160A. Je nach benötigter Funktionalität kann zwischen drei CPU-Varianten gewählt werden, die entweder über 8, 12 oder 16 Cortex-A72-Cores mit einer Taktrate von bis zu 2,2 GHz verfügen. Für eine schnelle Datenkommunikation sind zwei Schnittstellen für bis zu 100-Gigabit/s-Ethernet integriert. Das Modul verfügt neben 24 SerDes-Lanes mit bis

Empfehlungen für Highspeed-Board-Designs

Um die Leistung von Hochgeschwindigkeitskanälen (> 15 Gbit/s) zu verbessern, sollten folgende Richtlinien beachtet werden:

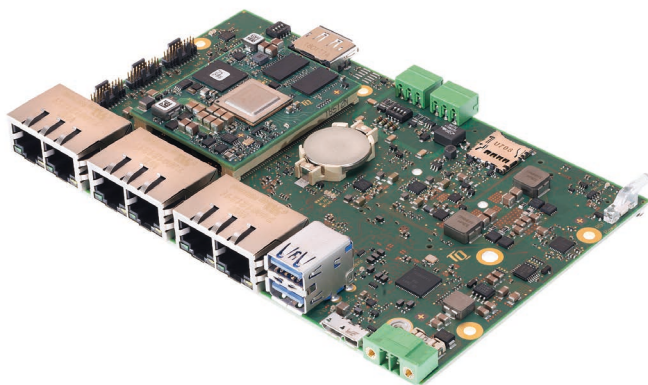
- Alle Highspeed-Signale sollen mit abgerundeten Ecken geroutet werden.
- Sicherstellen, dass für die Highspeed-Signale eine durchgängige GND-Referenzlage vorhanden ist.
- Die Stromversorgungslage als Referenz für kritische Hochgeschwindigkeitssignale vermeiden und ausschließlich Masse verwenden.
- Immer genügend Abstand zwischen Highspeed-Leitungen und Kupfer auf der gleichen Lage lassen, um Fehlanpassungen zu vermeiden, die durch das Fehlen einer ausreichenden Bezugsebene verursacht werden. Der Abstand sollte mindestens der Breite der Leiterbahn entsprechen. Es empfiehlt sich Freisparungen auf Referenzlagen zu vermeiden.
- Um ein Übersprechen zwischen benachbarten Paaren einer Lage zu vermeiden, genügend Abstand vorsehen. Als Regel gilt, dass der Abstand zwischen benachbarten Paaren mindestens das Dreifache des Abstands zur Referenzebene oder des Abstands des Signalaars betragen muss, je nachdem, welcher Wert größer ist.
- Alle Highspeed-Vias mit Backdrill versehen. Diese können entweder von der oberen oder der unteren Lage aus erfolgen und entfernen den Teil der Via, wo kein Signal angeschlossen ist.
- Entfernung aller nicht benötigten Via-Pads, um die Kapazität der Via zu verringern.
- Highspeed-Vias auf Versorgungslagen größer freisparen, um die parasitäre Viakapazität zu verringern.
- Stitching Vias bei Bezugslagenwechsel des Highspeed-Signals.

zu 25 GHz Taktung, die als Ethernet, SATA und PCIe nutzbar sind, über folgende weitere Schnittstellen: bis zu 2x Gigabit Ethernet, 2x USB 3.0, 2x CAN FD, bis zu 6x I²C, und 3x SPI. Alle CPU-Signals sind auf insgesamt 560 Pins von dem 126 mm x 78 mm abmessenden Modul heruntergeführt.

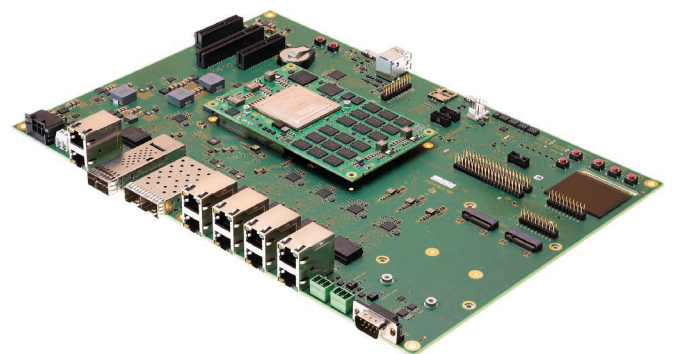
Fazit

Moderne Highspeed-Designs für Embedded-Anwendungen muss man aus beiden Richtungen betrachten: Zum einen muss man

die Design- und Layouttechnischen Bedingungen (Physik) genau beachten. Zum anderen darf man aber auch nicht das Gesamtsystem aus den Augen verlieren. Ein monolithisches Design auf einer einzelnen Platine ist nicht mehr automatisch die kostengünstigste Lösung! Der geschickte Einsatz von Modultechnik beschleunigt nicht nur die Entwicklungszeit, sondern rechnet sich durchaus auch finanziell – und dabei ist das ganze Thema Zulassung/Zertifizierung noch gar nicht angesprochen/inkludiert. ◀



TQ nutzt für seinen SBC MBL1028A-IND die Kostenvorteile die sich aus dem Modul TQMLS1028A ergeben: Die deutlich größere Leiterplatte des Träger-Boards kann einfacher gehalten bleiben und muss nicht die kostspieligeren Technologien des Moduls einsetzen.



Das Modul TQMLX2160A ist ein Musterbeispiel für ein Highspeed-Design das auf engstem Raum eine enorme Bandbreite bietet.