

Lösungen für Design und Aufbau

Energieeffiziente O-RAN-Applikationen, Teil 2

Hier im zweiten und abschließenden Teil geht es um das Zusammenspiel der Komponenten.

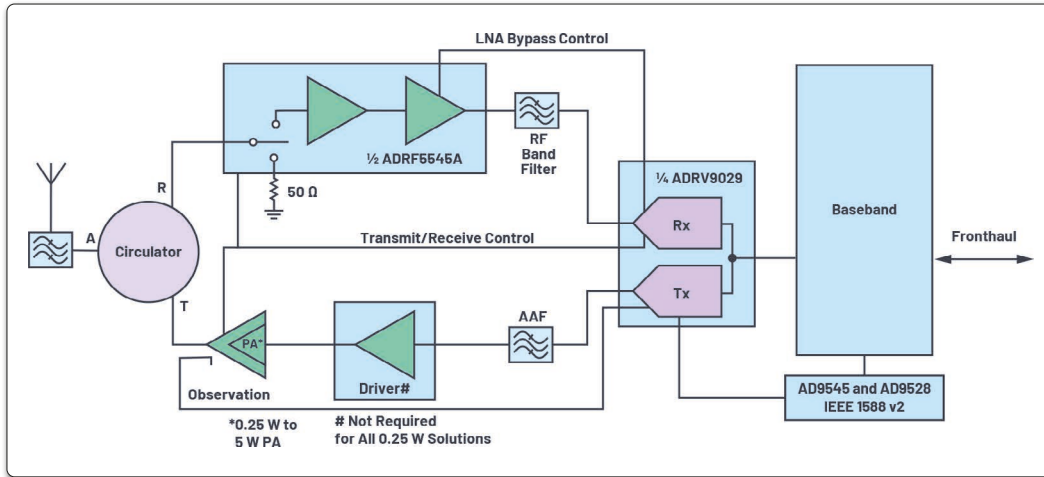


Bild 9: Komplette Signalkette

Bild 9 zeigt dazu die vollständige Signalkette einschließlich einiger der erforderlichen Steuersignale.

Im Detail

Im Interesse der Energieeffizienz umfasst die Schaltung eine Sende- und Empfangssignalisierung zum Aktivieren und Deaktivieren der Verstärker während ihrer jeweiligen Zyklen für TDD. In ähnlicher Weise könnte dies auch bei FDD verwendet werden, um die Verstärker während ungenutzter Slots abzuschalten und so ebenfalls Strom zu sparen. Ein LNA-Schalter ist auch erforderlich, um den Eingang

des LNA abzuschalten, damit die gesendete Leistung an einen 50-Ohm-Abschluss statt an den Eingang des Hauptverstärkers gelangt. Diese verschiedenen Signale können von einem ASIC, FPGA oder Transceiver generiert und arrangiert werden.

Die Empfängersignalkette enthält eine Funktion, die den digitalen Datenstrom für die verringerte analoge Verstärkung entsprechend ändert, wobei der absolute Signalpegel bei der Weitergabe an den Low-PHY und dann an den Rest des Basisbandes weiter erhalten bleibt.

Diese Applikation ist für ein Band ausgelegt. Der Trans-

ceiver ist zwar breitbandig und deckt alle Frequenzen bis 6 GHz ab, das gilt aber nicht für alle Geräte im Design. Baugruppen wie der LNA und die PA sind in der Regel für Bänder ausgelegt und müssen entsprechend dem unterstützten Band ausgewählt werden. In der Regel sind diese Baugruppen in pin-kompatiblen Optionen erhältlich, um alle gängigen Bänder unter 6 GHz abzudecken, sie können so leicht ausgetauscht werden. Dies ermöglicht die Unterstützung aller gängigen TDD- und FDD-Bänder, einschließlich derjenigen für 5G und der für O-RAN vorgeschlagenen.

Taktverteilung

Je nach Auslegung sind mehrere verschiedene Taktkonfigurationen möglich. Wenn ein präzises Timing erforderlich ist, wird eine zweistufige Taktsynthese benötigt. Die erste Stufe erfordert dabei eine Verknüpfung mit dem Basisband mittels eines ASICs, FPGAs oder Controllers, um die Funkdigitalisierung zeitlich korrekt zu justieren und zu synchronisieren. Diese Anwendung erfordert die Verarbeitung der Informationen des Precision Time Protocol (PTP), die über das Frontend oder einen lokalen GPS-Empfänger bereitgestellt werden. Dadurch wird sicher-

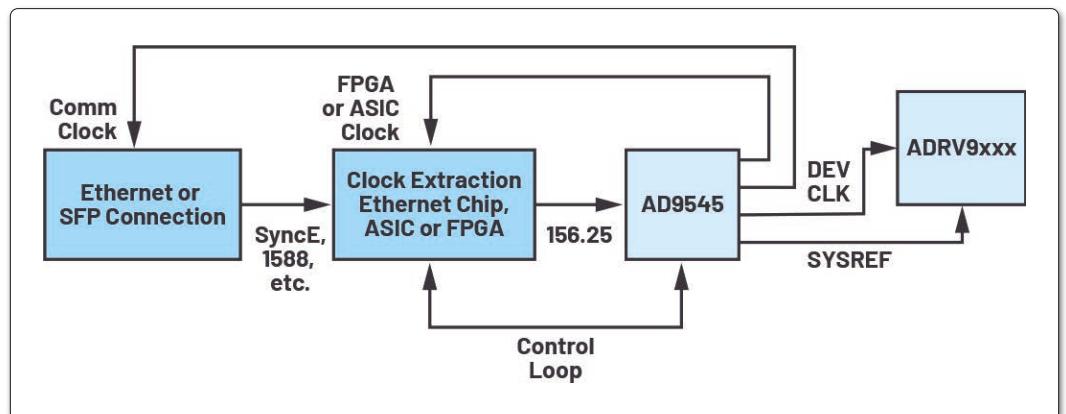


Bild 10: Beispiel Taktverteilung

Autor:
Brad Brannon
Analog Devices, Inc.
www.analog.com

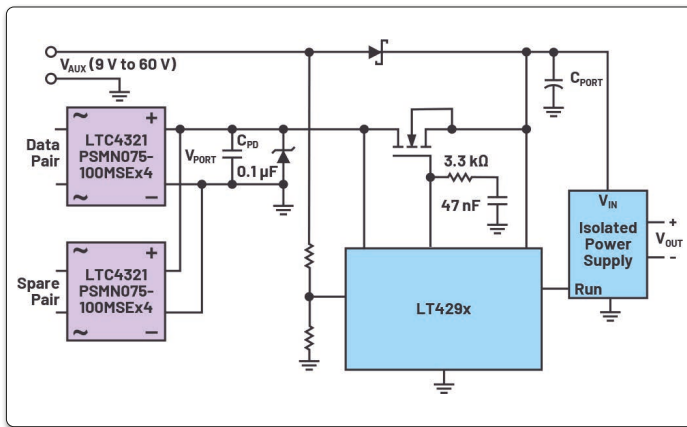


Bild 11: Isolierte PoE-Kleinzellen-Versorgungslösung

gestellt, dass das Funkgerät und der Basisbandprozessor genau wissen, wann Frames zu verarbeiten sind.

Die AD9545-Familie eignet sich ideal für die präzise Einstellung von Frequenz, Phase und Zeit des Haupttakts für das Funkgerät. Sie hat den Vorteil, dass sie so konfiguriert werden kann, dass sie vorübergehend ohne Referenz arbeitet und die Genauigkeit im Falle eines fehlerhaften oder intermittierenden Referenztaktes beibehält, wenn sie mit einem TCXO oder OCXO zusammenarbeitet.

Für Konfigurationen, die kein präzises Timing erfordern, oder als zweite Stufe von Konfigurationen, die einen solchen

erfordern, ist eine Taktverteilung erforderlich. Der Zweck der Verteilung besteht darin, die Taktfrequenzen für das gesamte Funkgerät zu erzeugen. Dazu gehören die Takte, die für JESD, eCPRI, Ethernet, SFP und andere wichtige Signale im gesamten Funkgerät benötigt werden. Der AD9528 liefert Low-Jitter-Takte für insgesamt bis zu 14 verschiedene Raten, einschließlich Unterstützung für den JESD204B/JESD204C-Gerätetakt und die SYSREF-Signalisierung.

Ein zweistufiges Blockdiagramm für die Taktverteilung bringt Bild 10. Für Anwendungen, die kein präzises Timing erfordern, kann der AD9545 eliminiert oder

umgangen werden, und es wird nur der AD9528 verwendet. Der Eingangstakt für das System stammt vom Grundnetzwerk-timing und wird von der Basisband- und Netzwerkfunktionalität entweder des Ethernet-Funktionsblocks oder innerhalb des FPGAs wiederhergestellt, je nach Genauigkeit der Architektur. Je nach den spezifischen Anforderungen des Sendeempfängers sind alternative Konfigurationen möglich.

Leistungsaufnahme

Die Gesamtverlustleistung wird von vielen Faktoren bestimmt. Zu diesen Faktoren gehören das ausgewählte FPGA und die implementierten Funktionen, der ausgewählte Transceiver und die aktivierten Optionen, die erforderliche Taktverteilung und die erzeugte HF-Leistung.

Ein typischer FPGA-SoC der mittleren Leistungsklasse, das die O-RAN CUS- und M-Plane-Verarbeitung zusammen mit der Synchronisierung mit dem IEEE 1588 v2 PTP-Stack implementiert, verbraucht etwa 15 W. Der typische ADRV9029-Transceiver verbraucht zwischen 5 und 8 W, je nach TDD- oder FDD-Konfiguration und der Bandbreite der aktivierten DFE-Funktionen. Dazu kommen noch die Taktung, die Empfangsperfor-

mance, die Sendeleistung und sonstige Leistungen. Tabelle 2 zeigt ein Beispiel für die Auflistung der Gesamtleistung für das System ohne Senderkette, die je nach Leistungsklasse stark variiert.

Wenn man die Verlustleistung für das Funkgerät hochrechnet, ergibt sich bei einem Tastverhältnis von 70:30 für Tx:Rx eine Gesamtverlustleistung von 26 bis 29 W, abhängig von der genauen Funkgerätekonfiguration, ohne die von der PA benötigte Leistung. Tabelle 3 zeigt einige Beispiele für PA-Verluste. Da PAs weitgehend im linearen Bereich der Transistoren mit einer Variante der Klasse AB arbeiten, kann ihr Wirkungsgrad zwischen 20 und 50% liegen. Hier ist die Leistung der integrierten DPD ein großer Vorteil. Selbst bei PAs mit kleiner Bandbreite und geringer Leistung werden ein paar Dutzend mW DPD-Verluste durch die Verbesserung des Wirkungsgrads des PA mehr als ausgeglichen.

Bei einer Kleinzelle mit geringem Stromverbrauch führt das Hinzufügen von etwa 2,5 W zusätzlicher Leistung zu einer Gesamtverlustleistung von etwa 30 W und für eine passiv gekühlte Kleinzelle in Innenräumen, die über eine PoE-Lösung

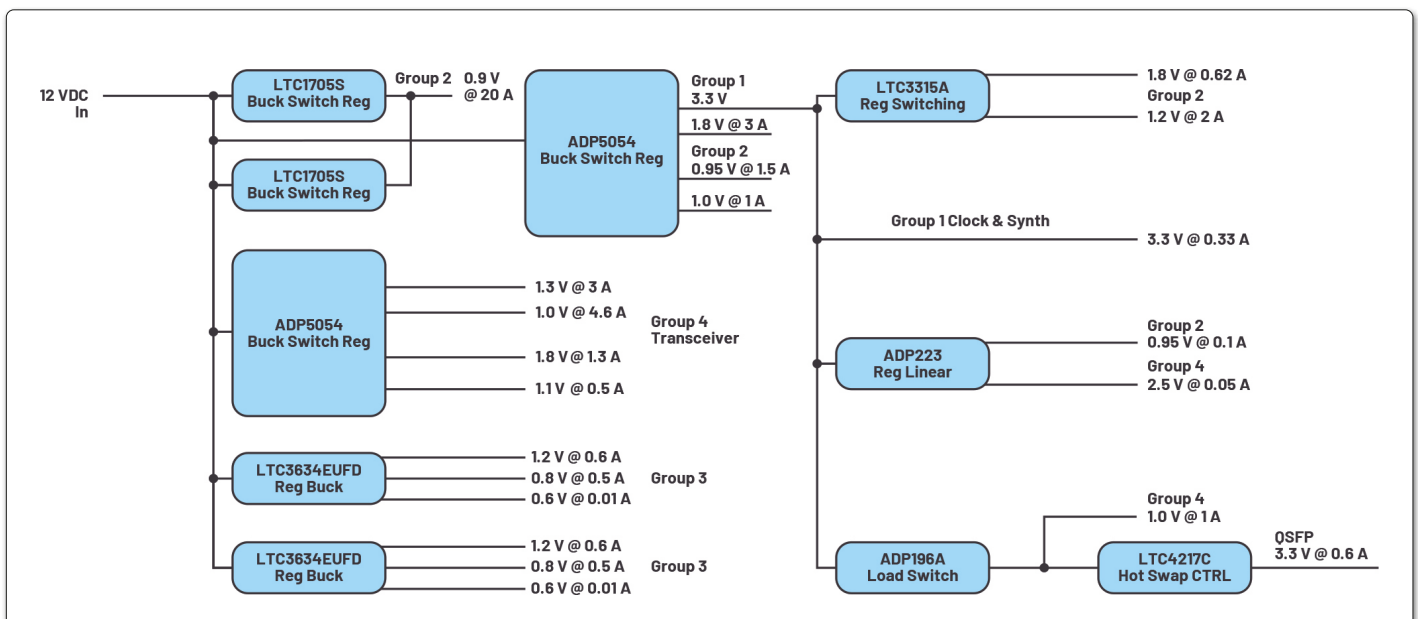


Bild 12: Typischer Leistungsbaum einer Kleinzellenapplikation

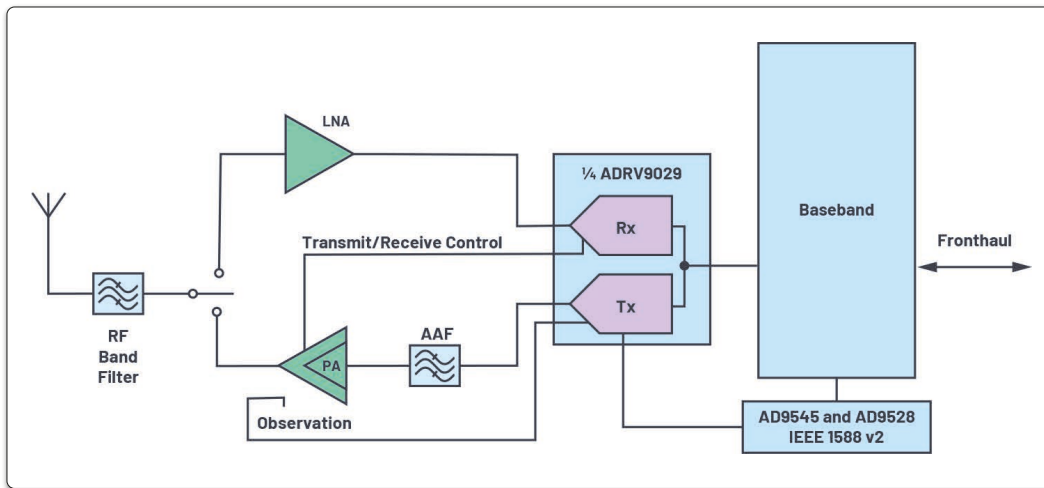


Bild 13: Alternative Sendersignalkette

mit Strom versorgt wird, zu keinen Problemen.

Eine mögliche PoE-Lösung ist in Bild 11 skizziert. Sie umfasst den PoE-Brücken-Controller LT4321, der die Verwendung von MOS-Transistoren als ideale Dioden anstelle von Gleichrichtern ermöglicht bei wesentlich besserem Wirkungsgrad. Es schließt sich der LT4295 an, ein 802.3bt-konformer Stromversorgungsbaustein. Darauf können dann noch geeignete lokale Regler folgen.

Neben den PoE-Wandlernbausteinen sind viele weitere Bausteine zur Unterstützung eines Kleinzellen-Referenz-Designs verfügbar. Dazu gehören Eckpfeiler wie die ADP5054-Familie, die speziell für die Stromversorgung von ADI-Transceivern entwickelt wurde, sowie für viele andere Abwärtswandler und LDO-Regler mit geringerem

Rauschen, wie in Bild 12 dargestellt.

Optionen

Einer der großen Vorteile dieser Funkarchitektur ist die Flexibilität, die sie im Hinblick auf die Erfüllung einer Reihe von Marktanforderungen bietet. Diese Architektur ist für eine Reihe von Anwendungen optimiert, darunter sowohl FDD als auch TDD. Sie ist gleichermaßen leistungsfähig im unteren, mittleren und höheren Band und eignet sich gut für Kleinzellen- und Massive-MIMO-Plattformen. Sowohl bei den Sender- als auch bei den Empfängerschaltungen können viele verschiedene Kompromisse eingegangen werden, um Kosten, Größe, Gewicht und Leistung zu optimieren. Während sich diese Merkmale auf höhere Leistung und Integration konzentrierte, ist es möglich, einige einfache Kompromisse zugunsten der Kosten mit einer

etwas anderen Auswahl zu treffen. Beispielsweise benötigen einige PAs mit geringer Leistung keinen Treiberverstärker. Da die HF-Leistung bei vielen Kleinzellenanwendungen gering ist, kann der Zirkulator durch einen einfachen TR-Schalter ersetzt werden. Das Ergebnis ist eine kostengünstigere Option, die dennoch eine gute Funkperformance bietet. Ein Beispiel zeigt Bild 13.

Schlussfolgerung

Die hier vorgestellten Komponenten der 5G-Technologie sind für Kommunikationsapplikati-

onen verfügbar und ermöglichen kostengünstige Implementierungen, die für die 5G-Entwicklung geeignet sind, insbesondere für die Implementierung von O-RAN O-RU-Lösungen. Dazu gehören Bauteile aus der RadioVerse-Familie sowie HF-Verstärker, Taktrückgewinnung/Synchronisierung und Power-over-Ethernet/Point-of-Load-Regelung. Diese hochintegrierten Komponenten sind bereit für die Implementierung von 5G Klein-, Makrozellen-, Mikrozellen- und Massive MIMO-Applikationen.

In Kombination mit einer geeigneten PHY und Software, die in einem FPGA, eASIC oder ASIC bereitgestellt wird, kann eine vollständige O-RU-Lösung entwickelt werden, wie in Bild 14 dargestellt.

Quellen

- [1] ftp://ftp.3gpp.org/specs/latest/Rel-15/38_series/
- [2] O-RAN Alliance
- [3] "O-RAN: Towards an Open and Smart RAN." O-RAN Alliance, Oktober 2018
- [4] Brad Brannon: "Where Zero-IF Wins: 50% Smaller PCB Footprint at 1/3 the Cost." Analog Dialogue, Vol. 50, No. 3, September 2016
- [5] Specifications. O-RAN Alliance ◀

Bauteil	# Anzahl	TDD 70:30 Typ. Aufnahme (4T4R)
Mid-range FPGA SoC	1	~15 W
ADRV9xxx	1	~5 W
ADRF5545A	2	0,6 W
AD9545	1	0,7 W
AD9528	1	1,4 W
PA-Treiberverstärker	4	1,2 W
Verschiedenes	1	2 W
Total	14	26...29 W

Tabelle 2: Budget der Leistungsaufnahme

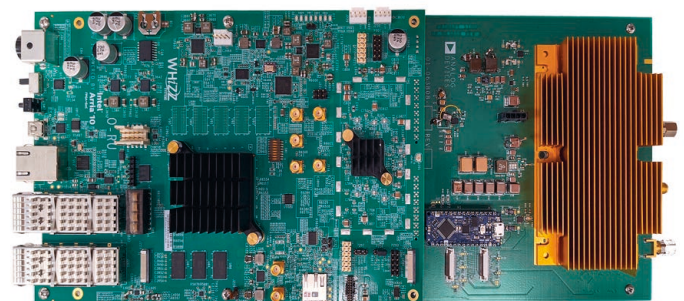


Bild 14: 5G-Prototypenplattform, konfigurierbar für HF-Frontends

Bauteil	# Anzahl	TDD 70:30 Typ. Aufnahme (4T4R)
PA (24 dBm/Antenne)	4	~2.5 W
PA (37 dBm/Antenne)	4	~47 W

Tabelle 3: Leistungsaufnahme Sender