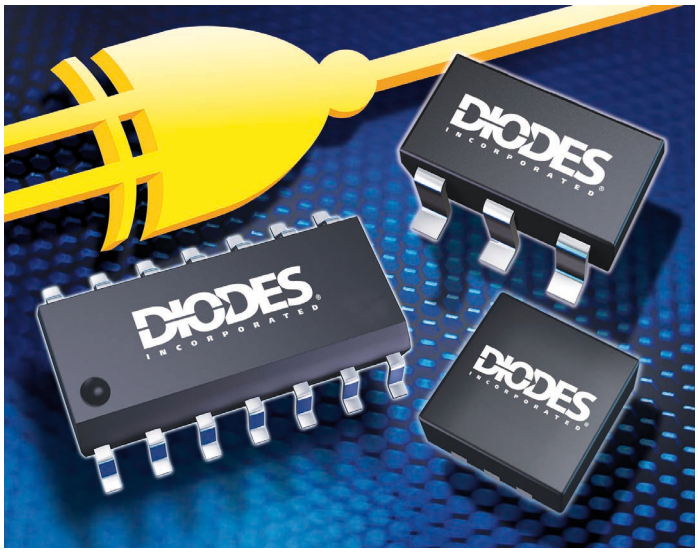
Ein Überblick:

Für jede Anwendung die passende Logik-Familie

Logik-Familien gibt es viele, und jede hat ihre Eigenheiten. Damit kann es zur Herausforderung werden, die passendste für die jeweilige Anwendung zu finden. Der Überblick hilft, die richtige, individuelle Entscheidung zu treffen.



Das Aufmacherbild zeigt die Logikfamilien © Diodes

Damit die Applikation funktioniert, müssen logische Verknüpfungen, Spannungsbereiche oder Logikebenen hinterlegt und Signale zwischen digitalen ICs übertragen werden. Die einfachste Lösung ist die Verwendung von Logik-Bausteinen. Durch diese wird eine simulierte Digitalschaltung in die Anwendung überführt.

Jede Logik-Familie hat ihre spezifischen Eigenschaften. Die Bausteine unterscheiden sich in der Pegelhöhe und Versorgungsspannung, im Stör- bzw. Rauschabstand, der Gatterlaufzeit, der maximalen Frequenz, der Leistungsaufnahme sowie bei Fan-in / Fan-out.

Zwei Familien bestimmen den Markt

Der Markt wird von zwei großen Familien – jeweils mit ihren Unterfamilien – beherrscht. Zum einen sind das die Transistor-Transistor-Logik- (TTL) Gatter (Logik auf Bipolartransistor-Basis), zum anderen Bausteine basierend auf Complementary Metal Oxide Semiconductor (CMOS) Technologie, also Feldeffekttransistoren mit gegensätzlicher Polarität.

Die Mitglieder der TTL-Familie bestehen aus einem Satz von Logikgattern, die aus Transistoren, Dioden und Widerständen aufgebaut sind. Sie decken praktisch alle denkbaren Anwendungen mit Schaltkreisen niedrigen und mittleren Integrationsgrades ab. Die Signal-Ein- und -Auskopplung erfolgt über Transistoren. TTL-Gatter zeichnen sich durch kurze Schaltzeiten und einen verhältnismäßig hohen Ausgangsstrom aus, der es gestattet, kleinere Lasten direkt anzusteuern. Die Treibermöglichkeit eines hohen Ausgangsstroms geht gleichzeitig einher mit einer hohen Ruhestromaufnahme und somit auch mit einem relativ hohen Leistungsbedarf. Das erzwingt wiederum große Chipflächen, um die entstehende Verlustwärme abzuführen und begrenzt die Integrationsdichte. Beispiele für TTL-Familien sind in Tabelle 1 aufgeführt.

Die Logiken auf Basis der CMOS-Technologie werden aufgrund ihrer zahlreichen Vorteile – beispielsweise geringerer Stromverbrauch und weniger Rauschen – inzwischen am häufigsten verwendet. Ihr Grundbaustein ist die Kombination eines n-Kanal-MOSFETs mit dem komplementären p-Kanal-MOSFET (Bild 2).

In jedem Schaltzustand ist einer der beiden MOSFETs gesperrt und der Ruhestrom ist näherungsweise Null; es fließen nur Isolations- und Sperrschichtleckströme von wenigen Nanoampere. Zudem ist die Schaltung größtenteils frei von parasitären Widerständen, wodurch CMOS-Gatter während des statischen Zustands keine Energie verbrauchen.

Allerdings ist die mittlere Stromaufnahme des CMOS-Gatters abhängig von der Umschaltfrequenz und steigt mit der Frequenz: Der überwiegende Verbrauch entsteht bei der Auf- und Entladung der Transistorkapazitäten C_T. Beim Aufladen wird Energie gespeichert, gleichzeitig wird dieselbe Menge im aufladenden FET in Wärme umgesetzt. Beim Entladen wird die im Kondensator gespeicherte Energie im entladenden FET in Wärme umgesetzt. Das heißt, bei einem Low-High-Low-Zyklus wird die Energie in Wärme umgewandelt. Daraus ergibt sich die folgende Verlustleistung:

$$P_V = W/t = W \cdot f = C_T \cdot V_{DD}^2 \cdot f$$

Familie	Eigenschaft
74 xx	Standard TTL
74 H xx	Highspeed TTL
74 ALS xx	Advanced Low Power Schottky TTL, schnell und energiesparend
74 AS xx	Advanced Schottky TTL, die schnellste erhältliche TTL-Familie
74 F xx	Fast TTL, sehr schnelle TTL-Familie
74 L xx	Low Power TTL
74 LS xx	Low Power Schottky TTL (Ersatz für 74 und 74L), schnell und energiesparend
74 S xx	Schottky TTL, schnelle Standard-TTL-Reihe

Tabelle 1: Die TTL-Familien und ihre Eigenschaften

Autor:
Thomas Bolz,
Corporate Product Manager
Standard Products,
Rutronik Elektronische
Bauelemente GmbH
www.rutronik.com

Beispiele für CMOS-Familien sind in Tabelle 2 aufgeführt.

Pegel bei der TTL- und der CMOS-Technologie

In einem Logikgatter sind die Spannungsbereiche zur Ansteuerung für die Ausgangssignale schmaler als die der Eingangssignale. Das führt bei der Zusammenschaltung mehrerer Grundschaltungen dazu, dass Störsignale und Rauschen in gewissen Grenzen nicht zu einem Fehlverhalten der Gesamtschaltung führen. Die sich nicht überlappenden Bereiche zwischen Eingang und Ausgang (bzw. High- und Low-Pegel) werden als Rauschabstände SH und SL bezeichnet.

Ein TTL-Eingang erkennt über den gesamten Versorgungsspannungsbereich hinweg zwischen 0 und 0,8 V eine logische 0 und von 2 bis 5 V eine logische 1. Der Spannungsbereich zwischen 0,8 und 2 V ist eine verbotene Zone. Ein Signal, das über längere Zeit in diesem Bereich anliegt, kann das Gatter zum Schwingen anregen und eine Fehlfunktion auslösen. Am Ausgang liegen die Pegel für 1 zwischen 2,4 und 5 V und die 0-Pegel zwischen 0 und 0,4 V (Bild 4, links).

Ein CMOS-Gatter erkennt bei 5 V Versorgungsspannung zwischen 0 V und 1,5 V am Eingang einen logischen 0-Pegel und zwischen 3,5 und 5 V einen logischen 1-Pegel. Am Ausgang sind die Werte entsprechend 0 - 0,5 V für logisch 0 und 4,5 - 5 V für logisch 1.

Liegt eine Spannung von 5 V an, sind die Störabstände bei CMOS bereits größer als bei TTL (siehe Bild 4). Da bei CMOS die Pegel von der Betriebsspannung abhängen – als Faustformel gilt $U_{ih} = 0{,}7*U_v$ – ergibt sich die Möglichkeit, durch eine höhere Betriebsspannung den Störabstand am Gattereingang zu vergrößern. Diese Option besteht bei TTL nicht.

Je größer der Störabstand eines Gatters ist, desto kleiner ist die Wahrscheinlichkeit einer Fehlfunktion und desto verrauschter kann ein Signal sein, ohne Fehlfunktionen auszulösen – ein eindeutiger Vorteil der CMOS-Technologie.

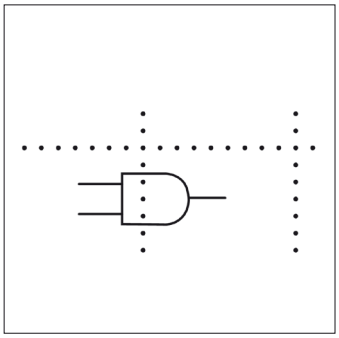


Bild 1: Standard-Symbol für Logikgatter mit einer Vielzahl von Varianten bei Gehäuse und Kanalzahl

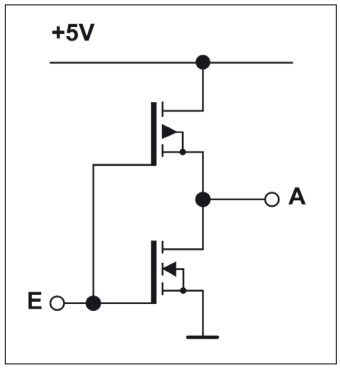


Bild 2: Grundbaustein aller CMOS-Gatter ist eine aus zwei komplementären MOSFETs bestehende Stufe. Dies ist die einfachste Form des Inverters

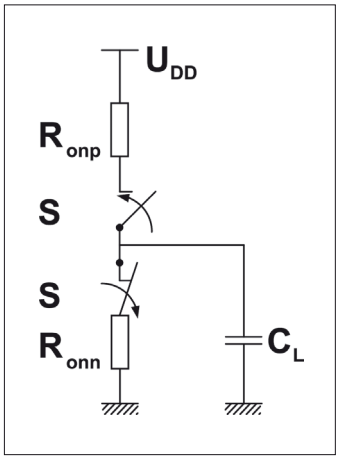


Bild 3: Modellierung der Verlustleistung eines CMOS-Gatters

Familie	Eigenschaft
74 AC	Advanced CMOS
74 ACT	AC mit TTL-kompatiblen Eingängen
74 HC	High Speed CMOS
74 HCT	HC mit TTL-kompatiblen Eingängen
74 AHC	Advanced High-Speed CMOS
74 AHCT	AHC mit TTL-kompatiblen Eingängen
74 VHC	Very High Speed CMOS
74 VHCT	VHC mit TTL-kompatiblen Eingängen
74 LV	Low-Voltage CMOS
74 LVC	Low-Voltage CMOS (Vcc 1,65 - 3,60 V, Eingänge sind auch bei niedriger Vcc bis 5,5 V tolerant)
74 LVX	Low-Voltage CMOS (Vcc 2,00 - 3,60 V, Eingänge sind auch bei niedriger Vcc bis 5,5 V tolerant)

Tabelle 2: CMOS-Familien und ihre Eigenschaften

Eigenschaften der CMOS- und TTL-Technologien in der Übersicht

- Da CMOS einen geringen Strombedarf hat, ist die Spannungsversorgung billiger und für die Energieverwaltung einfacher zu gestalten als mit TTL-Elementen.
- CMOS-Komponenten verbrauchen im statischen Zustand keinen Strom, aber der Stromverbrauch steigt mit der Taktrate. TTL-Bauteile hingegen haben einen konstanten Stromverbrauch.
- Aufgrund längerer Anstiegs- und Abfallzeiten in CMOS-Gatter müssen digitale Signale weniger aufwendig aufbereitet werden.
- CMOS-Familien haben einen weiteren Betriebsspannungsbereich als TTL. Er reicht von 3 V bis 15 V. So kann CMOS sowohl in TTL-Schaltungen als auch in analoge Schaltungen eingebunden werden, die mit höheren Spannungen arbeiten. Das erspart den Spannungsregler und damit auch Verlustleistung und Bauteilekosten.
- TTL ist robuster gegenüber elektromagnetischen Störungen. CMOS-Bausteine hingegen sind relativ empfindlich gegenüber statischer Aufladung und müssen gegen elektrostatische Entladungen (ESD) geschützt werden.
- Aus der Geschwindigkeit multipliziert mit der Leistung pro Gatter (Speed Power Product, SPP) lässt sich die Energiebilanz der Bauteile ableiten. Sie wird in Picojoule pro Gatter angegeben. Je niedriger ihr Wert, desto besser. CMOS übertrifft TTL deutlich mit einem Wert von 0,18 pJ/Gatter zu 150 pJ/Gatter.
- Bei der Eingangsbeschaltung besteht ein entscheidender Unterschied zwischen beiden Technologien: Unbenutzte TTL-Eingänge können offenbleiben, wenn die Umgebung störungsfrei ist, da sie stets 1-Pegel annehmen. Bei CMOS muss jeder Eingang des Gatters auf ein definiertes Potenzial gelegt werden, da sie leicht Störimpulse einfangen und es so zu undefinierten Schaltungszuständen kommen kann.
- CMOS hat einen größeren Störabstand zwischen Low- und High-Signalpegel als TTL und ist somit weniger anfällig für Störungen.

Kombination unterschiedlicher Logik-Familien

Bei der Bearbeitung, Verknüpfung und Aufbereitung von Signalen wird die Kombination von Gattern auch aus unterschiedlichen Familien (z. B. TTL und CMOS) unumgänglich. Dabei sind verschiedene Eigenschaften wie Pegel und Fan-Out zu berücksichtigen.

Ein Vergleich der Pegeldiagramme von TTL und CMOS (Bild 4) zeigt deutlich, dass man einen TTL-Eingang direkt an einen CMOS-Ausgang anschließen kann, da die CMOS-Ausgangsspannungen im Bereich der TTL-Eingangspegel liegen. Es muss jedoch darauf geachtet werden, dass der CMOS-Baustein genügend Strom zur Ansteuerung der TTL-Schaltung liefert. Umgekehrt gilt dies in der Regel jedoch nicht, da der TTL-1-Pegel im verbotenen Bereich für CMOS liegt. Die Lösung ist ein CMOS der 74HCT-Reihe, der Pin- und funktionskompatibel mit TTL ist. Das macht auch den sonst notwendigen Pull-Up-Widerstand überflüssig.

Der Fan-Out gibt die Belastbarkeit eines Ausgangs an, also wie viele Eingänge maximal von einem Gatterausgang angesteuert werden können, ohne dass die erforderlichen Spannungspegel für eine logische 0 und 1 überschritten werden. Er ergibt sich als Quotient von maximalen Ausgangsstrom zu maximalen Eingangsstrom der anzusteuernden Gatter.

$$\text{Fan-Out} = \frac{I_{\text{O max}}}{I_{\text{I max}}}.$$

Bei TTL begrenzt die verringerte Eingangsspannung bei der Verteilung des Stroms den maximalen Fan-Out. Ein typischer Wert sind 20 Gatter.

Bei CMOS wirkt die Kapazität der angesteuerten ICs als begrenzender Faktor, da der DC-Eingangsstrom der CMOS-Logik-ICs in der Größenordnung von Mikroampere liegt. Die Eingangskapazität liegt hier bei ca. 10 pF. Die Summe der Kapazitäten, die an einen Ausgang angeschlossen werden können, bei bis zu 500 pF. Theoretisch könnten so 50 CMOS-Logik-ICs an einen Ausgang angeschlossen werden. Zu beachten ist jedoch, dass die ansteigende Flanke der Signalwellenform abflacht, wodurch sich die Laufzeitverzögerung erhöht. Die Schaltzeiten werden somit länger. Daher ist am Platinenlayout vorab eine Funktionsbewertung durchzuführen, um sicherzustellen, dass die CMOS-Logik-Gatter ordnungsgemäß funktionieren. Eine Erhöhung der Eingänge führt jedoch zu einem Anstieg des Stromverbrauchs, was wiederum die Verlustleistung erhöht.

Auch die Gatter-Schaltzeit t_{pd} (propagation delay), also die typische Verzögerung, die ein Signal vom Eingang des Gatters bis zum Ausgang erfährt, ist bei der Kombination verschiedener Gatter zu beachten. Bei TTL besteht die Ursache für die Verzögerung in der Schaltzeit des Transistors. In CMOS-Komponenten verursacht die Zeit zum Laden oder Entladen der Lastkapazität die Ausbreitungsverzögerung (Schalten des FET). Tabelle 3 zeigt den Vergleich der Gatter-Schaltzeiten von TTL- und CMOS-Komponenten.

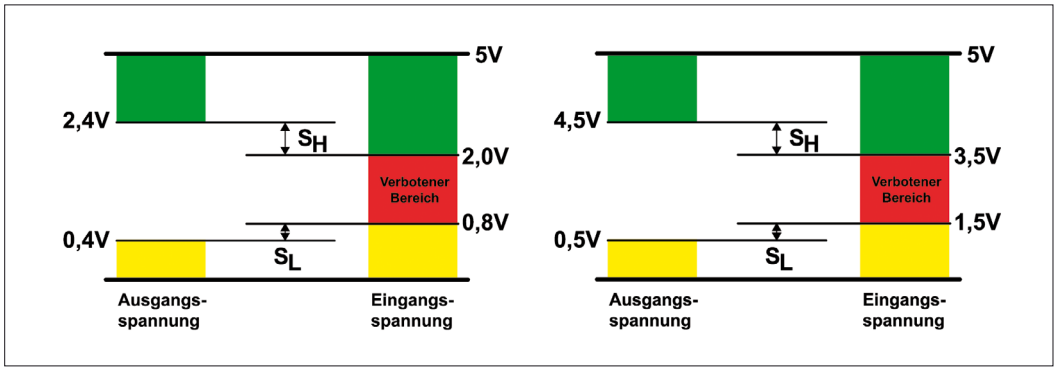


Bild 4: TTL-Pegel (links) mit SH bzw. SL = 0,4 V im Vergleich zum CMOS-Pegel mit SH bzw. SL = 1 bei 5 V (rechts)

Zahlreiche Familien versammelt

Die Technologie-Logik-Familien von Diodes (Aufmacherbild) umfassen Single-Gate-Logik, Dual Gate- oder Standard-Logik für Anwendungen in der Industrie, Kommunikation und Unterhaltungselektronik sowie in Computern. Die Ultra-Low-Power-Logik AUP-Familie hat eine kleine Eingangshysterese, die sie weniger anfällig für Probleme durch langsam ansteigende oder abfallende Signale macht. Die AUP-Familie ist erhältlich in sieben Gehäusetypen und eignet sich besonders für batteriebetriebene Handheld-Anwendungen. Die Hochleistungs- und Small-Footprint-Lösungen sind über Rutronik erhältlich. Die Automotive-konformen Versionen (mit der Endung Q) sind AEC-Q100 qualifiziert, werden in IATF-16949-zertifizierten Werken hergestellt und durchlaufen PPAP-Bemusterungsverfahren.

Extrem klein

Die General Purpose Logic-Single-Gate- bzw. -Dual-Gate-Logikprodukte sind in kleinen Gehäuseoptionen wie SOT25/26/353/363 verfügbar (Bild 5). Diese sind die richtige Wahl für Standardapplikationen, beispielsweise 74AHC bzw. 74AHCT mit einem Versorgungsspannungsbereich von 2,0 - 5,5 V bzw. 4,5 - 5,5 V. Niedrigere Ansteuerungsströme sorgen dafür, dass die Schaltungen bei Unterbrechungen robuster gegenüber Störungen sind. Die 74AHCT-Version ist zudem kompatibel mit TTL-Eingängen. Die 74LVCx-Familie ermöglicht Mixed-Signal-Spannungsanwendungen, da ihre Eingänge von 3,3 V bis zu 5,5 V ansteuerbar und direkt mit TTL-Eingangsspannungspegeln nutzbar sind. ◀

Bild 5: Die General Purpose Logic-Single-Gate- bzw. -Dual-Gate-Logikprodukte sind in kleinen Gehäuseoptionen verfügbar © Diodes

Familie	Typ	t_{pd}
Standard-TTL	7400	10 ns
Low-Power-Schottky-TTL	74 LS 00	10 ns
Schottky-TTL	74 S 00	3 ns
Low-Power-Advanced-TTL	74 ALS 00	4 ns
Fast TTL	74 F 00	3 ns
Advanced TTL	74 AS 00	1,5 ns
Standard-CMOS	4000 74 C 00	90 ns 30 ns
High-Speed-CMOS	74 HC 00, 74 HCT 00	≈ 10 ns (spannungsabhängig
Advanced CMOS	74 AC 00, 74 ACT 00	≈ 3 ns
Low-Voltage-CMOS	74 LV 00 74 LVC 00 74 ALVC	14 ns 7 ns 4 ns

Tabelle 3: Schaltzeiten von TTL- und CMOS-Komponenten (Quelle: Wikipedia)