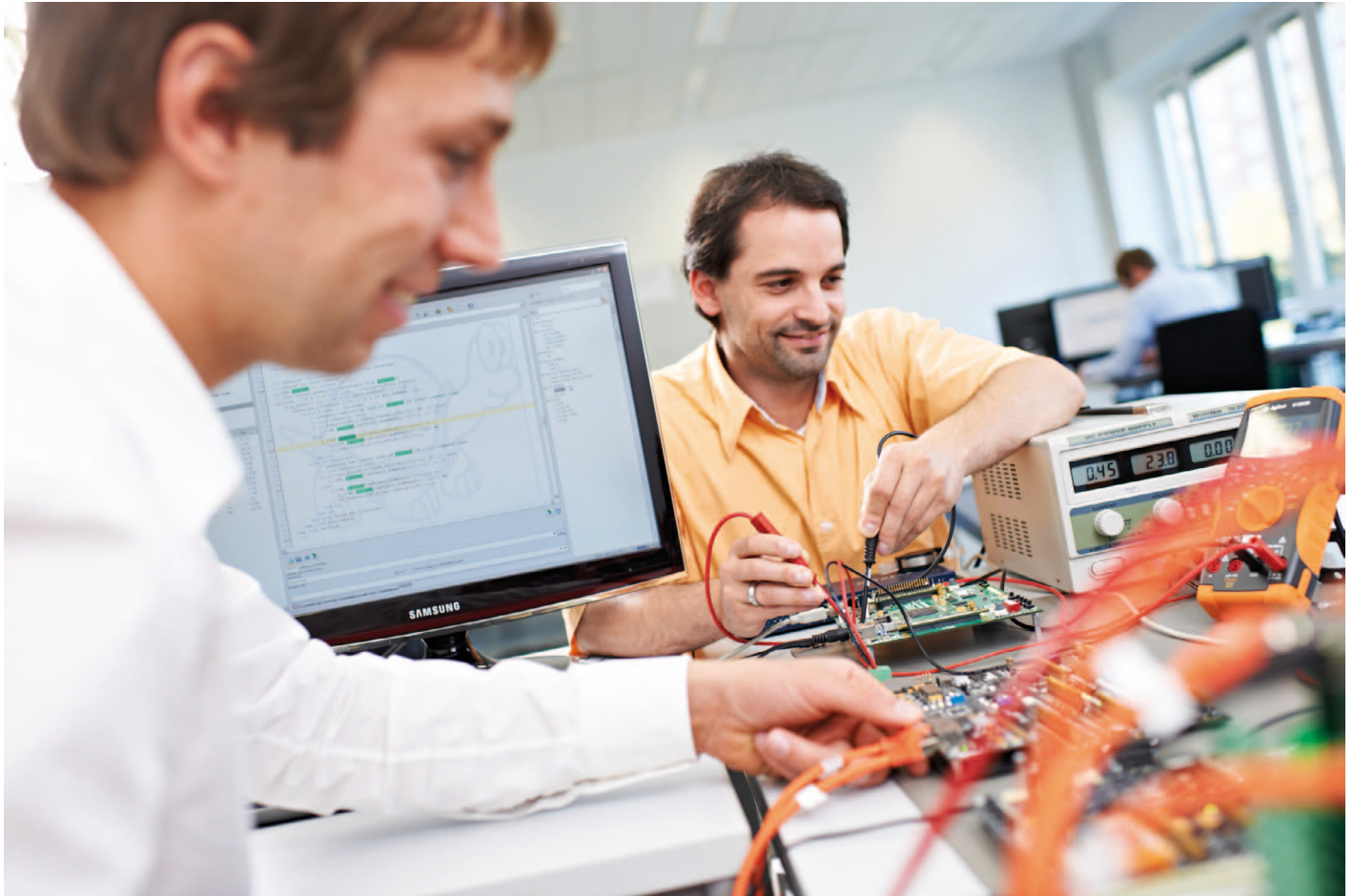


Design eines Kontrollmoduls für diagnostische medizinische Bildgebung



Heitec wurde mit der Entwicklung eines Controller-Moduls beauftragt, das die Applikation zur Steuerung diagnostischer medizinischer Bildgebung und sicherheitskritischer Prozesse administrieren sowie alle benötigten Schnittstellen zu Peripheriegeräten und einem Graphic User Interface-Rechner managen sollte. Die Anforderung hieß also, umfangreiche Funktionalität auf kleinem Raum mit großer Effizienz zu realisieren.

Neben einer Embedded CPU enthält die Anwendung auch ein FPGA. Dem technischen Fortschritt folgend, sollte trotz der erwartbar höheren Investition deshalb ein System-on-Chip eingesetzt werden, das einen Prozessorkern und FPGA-Architektur in einem Gehäuse vereint. In der gewählten Single-Chip-Lösung haben CPU und FPGA Zugriff auf den Speicher über dieselbe Schnittstelle mit DMA (Direct

Memory Access), woraus sich eine Reihe von Vorteilen ergibt, wie z. B. die Kopplung von Prozessor und FPGA, eine hoch performante interne Bus-Schnittstelle zwischen CPU und programmierbarer FPGA-Logik, ein höherer Integrationsfaktor mit weniger Komponenten, eine einfacher managbare Lösung und nicht zuletzt eine größere Design-Flexibilität.

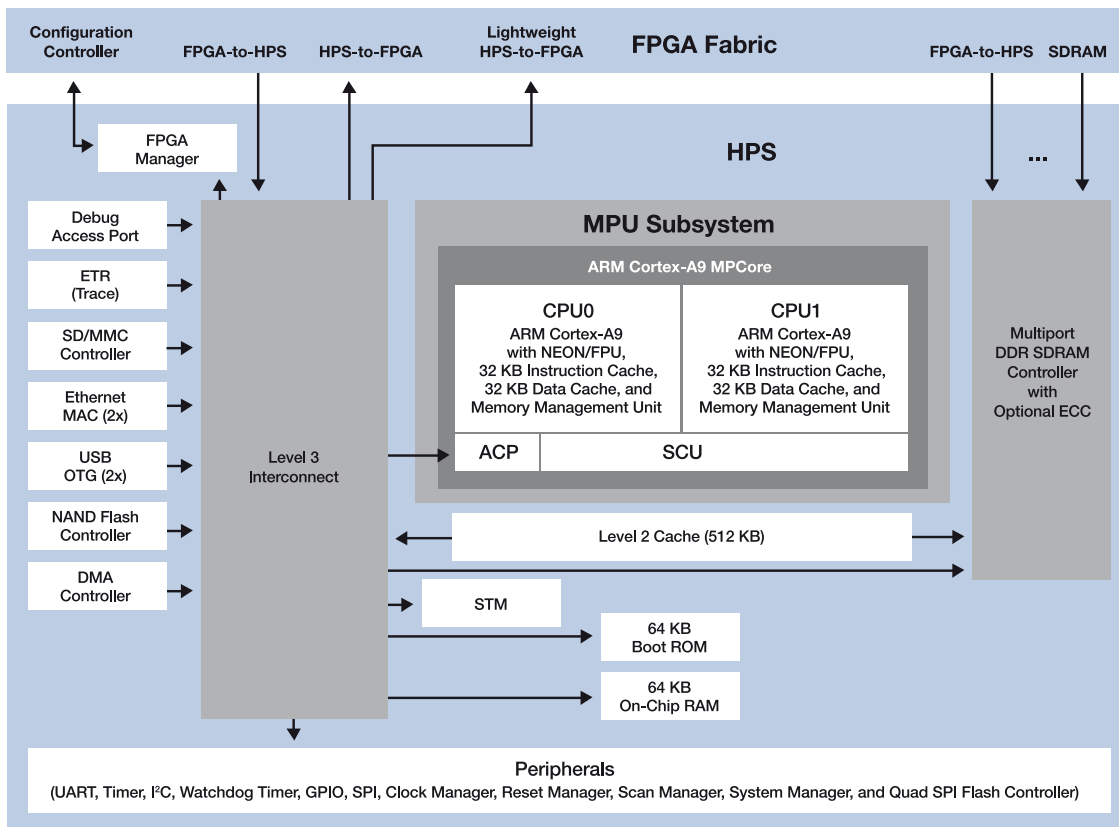
Schnellere Datenübertragung

Während der Prozessor gleichzeitig entlastet wird, führt der direkte Speicherzugang zu schnellerer Datenübertragung. Der Zugriff kann durch das FPGA-Design auch direkt und ohne lokale Bus-Hardware-Steuerung erfolgen. SoCs bieten außerdem die notwendige Erweiterbarkeit, um die gewünschte Funktionalität genau auf die jeweilige Aufgabe zuzuschneiden. Die

Einbindung von spezifischen Software-Algorithmen in die Hardware mit Filteralgorithmen sowie die Möglichkeit zu spezifischen Berechnungen sind zusätzliche Vorteile. Mit dem ARM-Prozessoranteil des gewählten SoC ist darüber hinaus die Standard-Software sehr gut nutzbar. Durch die kompakte Bauweise und die Vermeidung weiterer Komponenten ist mehr thermische Kontrolle möglich, da nur ein Bauteil gekühlt werden muss. Dem Spannungsbogen zwischen Leistungsfähigkeit auf der einen und Energieeffizienz auf der anderen Seite entspricht ein SoC am besten. In der Quintessenz ergab diese Kombination bei geringerem Energieverbrauch eine bessere Gesamtleistung mit mehr Möglichkeiten zur Miniaturisierung, zu höherer Produktlebensdauer und Verfügbarkeit sowie deutlicher Kostensenkung.



Autor:
Alexander Jäger,
Product Manager Business Unit
Electronics
HEITEC AG
www.heitec-elektronik.de



Blockdiagramm Arria 10 SoC (© Intel)

Die Entscheidung

Nach Überprüfung der erforderlichen Eigenschaften entschied man sich für ein auf 20 nm Prozesortechnologie-basierendes Intel (Altera) Arria 10 SoC, einem Standard ARM Cortex-A9-Prozessor Dual Core als Hard Macro. Dieses setzt auf ein „gehärtetes“ Prozessor-Subsystem mit einem komplett ausgestatteten ARM Cortex-A9-Prozessor mit vollständiger Speicherhierarchie und zugeordneten Peripheriebausteinen, die wie ein normaler ARM-Prozessor booten und funktionieren. Darüber hinaus verfügt der Baustein über einen ECC (Error Correcting Code) in den Prozessor-Caches und im On-Chip-Prozessor RAM, was schlussendlich angesichts der besonderen Systemanforderungen der Anwendung den Ausschlag für die Auswahl gab. Das Hard Processor System (kurz HPS) und der separate FPGA-Part sind mit einer Bridge für hohen Datendurchsatz miteinander verbunden und ermöglichen einen deutlich schnelleren Zugriff als die übliche PCI-Latenz sowie eine kombinierte Hard- und Software-Verarbeitung.

Die HPS/FPGA-Bridge ist mit einem intelligenten Scheduler zum DDR-Interface ausgestattet.

Prozessor mit großem Funktionsumfang

Der Prozessor verfügt über einen großen Funktionsumfang für eingebettete Peripherie, gehärtete Floating-Point-DSP-Blöcke, eingebettete Hochgeschwindigkeits-Transceiver, Hard-Memory-Controller und Protokoll von (IP)-Controllern. Alle erforderlichen Schnittstellen sind bereits vorhanden - kurz, es handelt sich um ein hochintegriertes Paket, das auf Design-Produktivität ausgelegt ist, und eine optimale Kombination für Applikationen mittlerer Größe und damit auch für die Anforderungen der Zielanwendung.

Realisierung

Im schlussendlich realisierten Konzept ist das SoC FPGA inklusive Embedded CPU mit dem Steuerboard der Applikation verbunden und läuft mit Embedded Linux Betriebssystem. Das Motherboard verfügt über eine GiG-E-Schnittstelle zum GUI PC und Datenschnittstellen zu allen anderen Systemteilen.

Der vom GUI PC Gigabit Ethernet Interface erzeugte Musterdurchsatz enthält die Kontrollinformation in Form einer Befehlsliste für den lokalen Pfad, darunter die Settings für Pulsenergie, Pulsrate, gewünschte Position und Geschwindigkeit der Anwendung. Nach Prozessstart per Fußtaster führt das Steuerboard die Anweisungen vollständig autonom aus und überwacht alle Vorgänge simultan. Darüber hinaus werden alle Fehlerbedingungen, Temperatur und Spannung der angeschlossenen Geräte sowie das Energielevel kontrolliert. Letzteres geschieht via Abgleich der gesetzten und tatsächlichen Werte von Stromversorgung und Frequenz. Im Falle einer Fehlermeldung wird das System abgeschaltet.

Zusammenfassung

Die Entwicklung eines Produktes mit einer starken Architektur ist der Schlüssel, um sicherzustellen, dass das Systemdesign seine Leistungsanforderungen jetzt und in Zukunft erfüllt. Mit SoCs für Embedded-Systeme können Designs auf einem soliden Fundament stehen. FPGAs für mittelgroße Anwendungen führen

zu signifikanter Platzerparnis im Design und weisen ein gutes Gleichgewicht zwischen Verlustleistung, Kosten und Leistung auf.

Mit SoCs kann man die Boardgröße reduzieren und gleichzeitig die Leistung steigern, indem ein GHz-Klasse-Prozessor, FPGA-Logik und digitale Signalverarbeitung (DSP) in ein einziges benutzerdefinierbares System auf einem Chip integriert werden. Das Arria 10 SoC ist so ein typischer Vertreter, der eine breite Auswahl an FPGA-Logikdichten bietet. Die gehärtete Floating-Point-DSP-Implementierung eröffnet ganz neue Möglichkeiten für Floating-Point Designs. Die Bausteine bieten höchste Floating-Point Performance, Energieeffizienz und Präzision bei gleichzeitiger Reduzierung der Entwicklungszeit.

FPGAs mit gehärteten Floating-Point-DSP-Blö-

cken bieten eine Leistung von 160 bis 1.500 GFLOPS in Midrange Arria 10 Bausteinen. Diese Peak-GFLOPS-Metriken werden auf der Grundlage der gleichen transparenten Methodik berechnet, die auf CPUs, GPUs und DSPs verwendet wird. Diese Methodik bietet Designern eine zuverlässige Technik für den Basisvergleich der Peak-Floating-Point-Rechenfähigkeiten von Bausteinen mit sehr unterschiedlichen Architekturen. Mit der gehärteten Floating-Point-DSP-Implementierung können FPGAs daher in einem wachsenden Spektrum von rechnerisch intensiven Anwendungen wie High Performance Computing (HPC), Radar und medizinischer Bildgebung eingesetzt werden, die damit in den Genuss von mehr Leistung bei niedrigeren Systemgesamtkosten (Total Cost of Ownership) kommen. Die langjährigen Erfahrungen im ASIC Design nutzt Heitec konsequent bei der Entwicklung von High-Speed FPGA-Lösungen und kann SoCs mit FPGA-Funktionalität für nahezu jede Anwendung realisieren - inkl. aller notwendigen und geforderten Dokumentationen. ◀