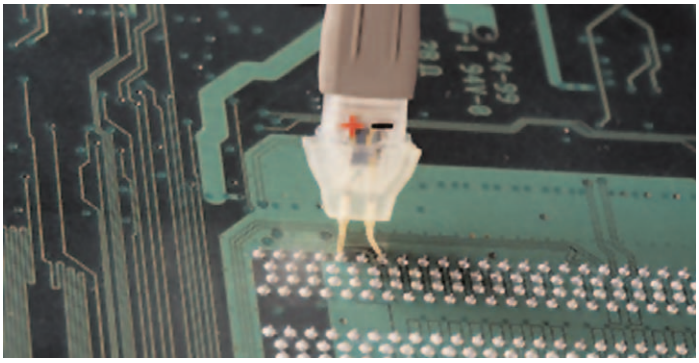
Grundlagen und Praxis der Signalintegrität, Teil 3:

Behebung von Signalintegritätsfehlern



In Teil 1 wurden die Ursachen und Auswirkungen von signalintegritätsbezogenen Problemen erörtert. In Teil 2 ging es darum, wie man mit optimaler Messausrüstung Fehler findet und richtig beurteilt. In diesem abschließenden Teil wird der Einsatz von Messmitteln und Techniken zur Lösung praxisnaher Signalintegritätsprobleme beim Schaltungsentwurf anhand von drei Beispielsituationen erläutert.

Es handelt sich um folgende Anwendungsbeispiele:

Situation I:

Just in dem Moment, wo eine digitale Systemplatine in die Produktion gehen soll, taucht auf einmal ein Qualitätsproblem auf.

Situation II:

Bei dem neuen Motherboard für einen Server der nächsten Generation treten unerklärliche intermittierende Probleme auf.

Situation III:

Ein neuer Workstation-Prototyp ist mit einem PLL-Oszillator ausgerüstet, der als „Zero-Delay"-Taktquelle für dessen Speichersystem konfiguriert wurde.

Beschreibung Situation I

Die Platine mit einer hochentwickelten Steuereinheit ist das Herzstück des neuen Flaggschiffprodukts eines Unternehmens und muss termingerecht fertig sein, da sie bereits durch massive Werbung angekündigt wurde. Bei den ersten Produktionsmustern treten intermittierende Fehler auf.

Diese erscheinen auf dem Systembus, doch scheint der Ursprung woanders zu liegen. Über den bidirektionalen Systembus laufen von mehreren Geräten gesendete und empfangene Daten. Das System funktioniert gut bei „mittleren" Geschwindigkeiten. Da die meisten Logikbausteine jedoch schnelle Flanken aufweisen, könnten Signalintegritätsprobleme auftreten. Andere Möglichkeiten reichen von logischen Fehlern bis hin zum ungünstigen Platinen-Layout.

Da sich mit den eingebauten „Debug"-Funktionen wertvolle Zeit bei der Fehlerbehebung sparen lässt, wurden Prüfpunkte für den Logikanalysator integriert: Da die äußerst dicht bestückte Platine keinen Platz für konventionelle Anschlüsse ließ und ein Logikanalysator der Serie TLA7AA3 von Tektronix bereitstand, wurde eine spezielle gerasterte Kontaktierungsfläche vorgesehen. Die „Land-Pads" konnte man in der verfügbaren Fläche integrieren.

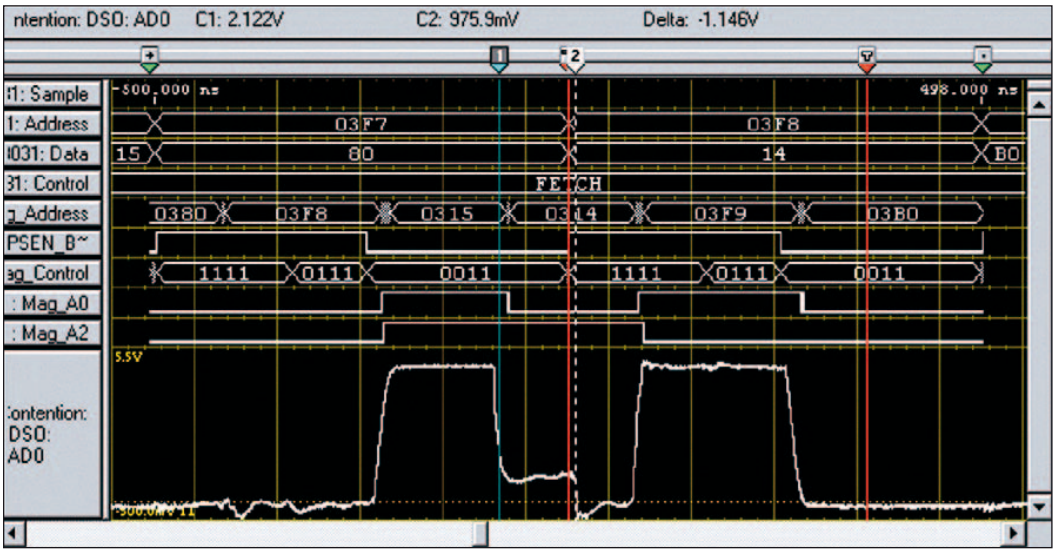


Bild 10: Der analoge Kurvenzug enthüllt einen ungültigen Logikpegel (Cursor 1 und 2), der für die digitalen Probleme im System verantwortlich ist

Quelle: Grundlagen der Signalintegrität, Tektronix, www.tektronix.com, gekürzt

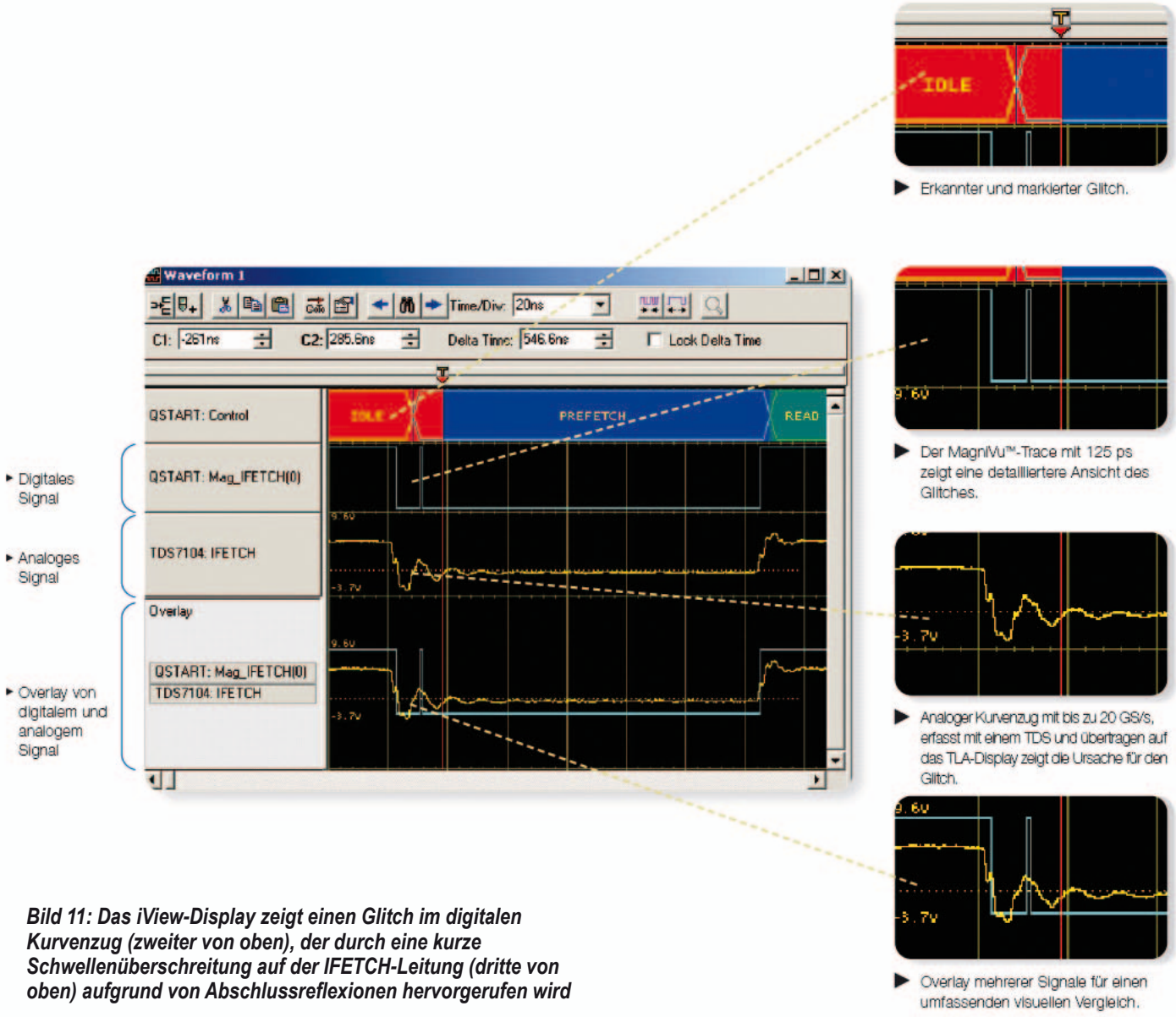


Bild 11: Das iView-Display zeigt einen Glitch im digitalen Kurvenzug (zweiter von oben), der durch eine kurze Schwellenüberschreitung auf der IFETCH-Leitung (dritte von oben) aufgrund von Abschlussreflexionen hervorgerufen wird

Messaufbau & Ergebnis

Gearbeitet wurde mit dem Logikanalysator-Hauptsystem TLA7012, dem Logikanalysator-Erfassungsmodul TLA7AA3 mit 102 Kanälen und dem Single-Ended-HD-Logikanalysator-Tastkopf P6860 über eine iView-Schnittstelle. Dabei kommen die Vorzüge des Logikanalysators TLA7AA3 voll zum Tragen, z.B. die Fähigkeit, analoge Signale durch den Tastkopf zu leiten, diese mit dem Oszilloskop zu erfassen und sie dann auf dem Bildschirm des Logikanalysators anzuzeigen. Dieser wurde so eingestellt, dass er auf den Read-Befehl triggert, der den fehlerhaften Datenwert verursacht.

Es werden die Timing-Signale der ausgewählten Busleitungen angezeigt (Bild 10) und das fehlerverursachende Problem tritt zutage: Dank der hohen Auflösung des Messgeräts (125 ps, 8 GHz) ist deutlich zu erkennen, dass hier kein Timing-Problem (Trace 031: Data) vorliegt. Dennoch scheint diese Adresse fehlerhaft zu sein, denn es werden gelegentlich Speicherplätze „übersprungen“, was auf einen Fehler im niedrigstwertigen Bit – Adresse 0 – hinweist. Die analoge Darstellung der AD0-Busleitung am unteren Bildschirmrand entlarvt das wahre Signalintegritätsproblem: Der Logikpegel des Signals AD0 (Adresse 0) ist zum Taktzeitpunkt ungültig. Aufgrund eines Entwurfsfehlers werden gleichzeitig zwei Geräte auf derselben Adressleitung angesteuert.

Beschreibung Situation II

Beim neuen Motherboard für einen Server gibt es unerklärliche intermittierende Probleme: Bei niedrigen Taktgeschwindigkeiten arbeiten der erste und zweite Prototyp noch zuverlässig. Mit spezifizierter Taktgeschwindigkeit treten jedoch scheinbar zufällige Fehler auf. Man vermutet Probleme im Zusammenhang mit dem Platinen-Layout, was sich mit herkömmlichen Messmitteln aber nur schwer beweisen lässt. Prüfpunkte für den Logikanalysator wurden vorgesehen, sie verfügen über Mictor-Stecker für die Logikanalysator-Tastköpfe der Serie TLA700.

Messaufbau & Ergebnis

- Logikanalysator-Hauptsystem TLA7012
- Logikanalysator-Erfassungsmodul TLA7AA4 mit 136 Kanälen
- Single-Ended-HD-Logikanalysator-Tastkopf P6860

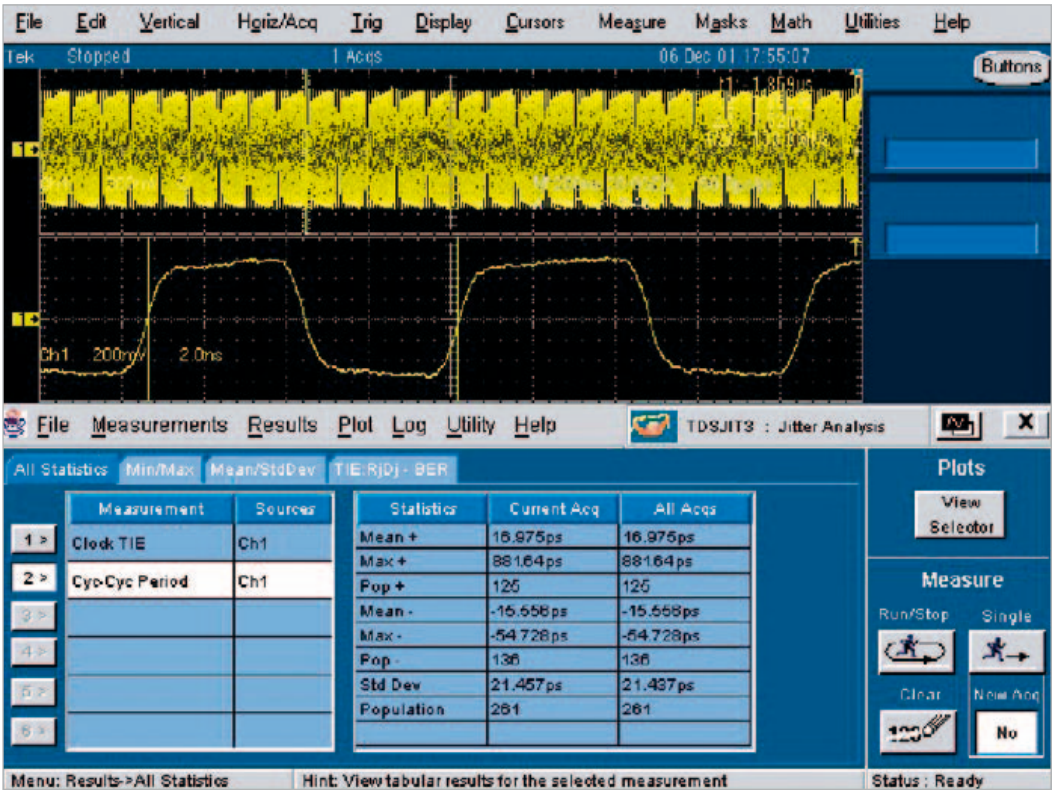


Bild 12: Dieser TDSJIT3 Messbildschirm präsentiert mehrere miteinander verkettete, mit einer Abtastrate von 20 GS/s erfasste Jitter-Messungen. Zu sehen ist u.a. ein PLL-Signal mit einem Fehler von fast 1 ns innerhalb eines 7,5-ns-Zyklus

- Adapter P6860-HD-Kompression auf Mictor-Stecker
- View-Schnittstelle
- Digital-Phosphor-Oszilloskop TDS7104

Intermittierende Probleme werden oft von Glitches verursacht, solche werden vermutet. Das TLA7AA4 wird daher so eingestellt, dass es auf Glitches triggert. Erkannt wird ein Glitch im Pre-Fetch-Zyklus auf einer Signalleitung namens IFETCH. Der Analysator triggert und markiert den Zeitpunkt, an dem der Glitch auftritt. Im Mag_IFETCH-Signal (Bild 11) wird eindeutig ein schmaler Puls angezeigt. Dank der hohen Zeitauflösung (125 ps) der MagniVu-Erfassung gelingt eine präzise Erfassung der Pulszeit und -dauer. Der Glitch-Trigger veranlasst außerdem die Erfassung auf dem TDS7104-Oszilloskop, die über die iView-Schnittstelle mit dem Logikanalysator abgestimmt wird. Die analoge Erfassung auf dem Analysatorbildschirm zeigt die wahre Natur des Glitches: Es handelt sich um eine analoge Verzerrung, die den logischen Schwellenwert kurz überschreitet und dadurch einen gültigen H-Pegel erreicht, der gerade lang genug anhält, um das Problem zu verursachen. Durch eine Korrektur im Platinen-Layout ließ sich das Problem beheben.

Situation III

Ein neuer Workstation-Prototyp ist mit einem PLL-Oszillator ausgerüstet, der als „Zero-Delay"-Taktquelle für dessen Speichersystem konfiguriert ist. Die PLL empfängt ein externes Taktsignal, erfasst dessen Frequenz und überträgt es dann erneut über das Taktverteilungs-Netzwerk an die Speicherelemente. Damit werden alle Verzögerungen entlang des Verteilungspfads korrigiert. Dennoch scheint der Speicher gelegentlich falsche Daten zu speichern. Als Ursache hierfür wird ein Timing-Fehler im Takt vermutet. Welcher Natur ist dieser und wo liegt sein Ursprung?

Messaufbau & Ergebnis

- Logikanalysator TLA5204
- Logikanalysator-Tastkopf P6418
- Digitalspeicher-Oszilloskop TDS6604
- P7260-Tastkopf mit hoher Bandbreite für das TDS6604
- TDSJIT3-Software für die Jitter- und Timing-Analyse

Nachdem die digitalen Fehler auf dem Logikanalysator beobachtet wurden, vermutete man eine Instabilität in dem vom PLL-Oszillator kommenden Taktsignal. Obwohl der Fehler intermittierend ist, scheint er nicht komplett zufällig zu sein. Eine Echtzeit-Jitter-Messung stellt sich als produktivste Lösung heraus. Man nimmt über den P7260-Tastkopf das Taktsignal auf, führt mehrere Messungen mit einer Abtastrate von 20 GS/s durch und verbindet diese in der integrierten TDSJIT3-Anwendung. Durch den Vergleich der Messungen auf einer Zyklus-zu-Zyklus-Basis mithilfe der Cyc-Cyc-Periodenmessung und der Zyklustrendfunktion des TDSJIT3 wird deutlich, dass das PLL-Signal die meiste Zeit in seiner Frequenztoleranz liegt, gelegentlich jedoch darüber hinaus springt, um eine Frequenzdrift auszugleichen. Wie aus Bild 12 ersichtlich, beträgt der Fehler innerhalb eines 7,-ns-Zyklus´ annähernd 1 ns. Eine zweite TDSJIT3-Funktion hilft bei der genauen Ursachenbestimmung für dieses Verhalten des PLL. Durch Einsatz des FFT-Tools stellt sich heraus, dass bei 120 kHz eine unerwartete Energiespitze auftritt, wobei es sich um die Frequenz des Schaltnetzteils handelt. Mit diesem Wissen ist es nicht schwierig, die störende Frequenz auszufiltern. ◄

Zusammenfassung

Signalintegritätsmessungen sind zu einem wichtigen Bestandteil der Entwicklung von Digitalsystemen geworden. In den schnellen Anwendungen kann sich selbst der kleinste Timing-Fehler auf dem Controller-Datenbus über den ganzen Weg durch das System übertragen und schließlich als Fehler auf einem seriellen E/A-Bus auftreten.

Es werden leistungsstarke Messgeräte benötigt, die über eine hohe Bandbreite sowie Zeit sparende Funktionen verfügen, um Verzerrungen von Hochgeschwindigkeitssignalen präzise zu messen. Bis vor kurzem waren unbemerkt gebliebene Signalintegritätsprobleme häufig die Ursache für Verzögerungen im Zeitplan und für mangelnde Zuverlässigkeit von neuen Digitalprodukten. Jetzt stehen die richtigen Messgeräte zur Verfügung, um selbst die größten Herausforderungen in punkto Signalintegrität zu meistern.

Produktinformationen findet man z.B. unter www.tektronix.com.