5G-Netze – Probleme und Lösungen

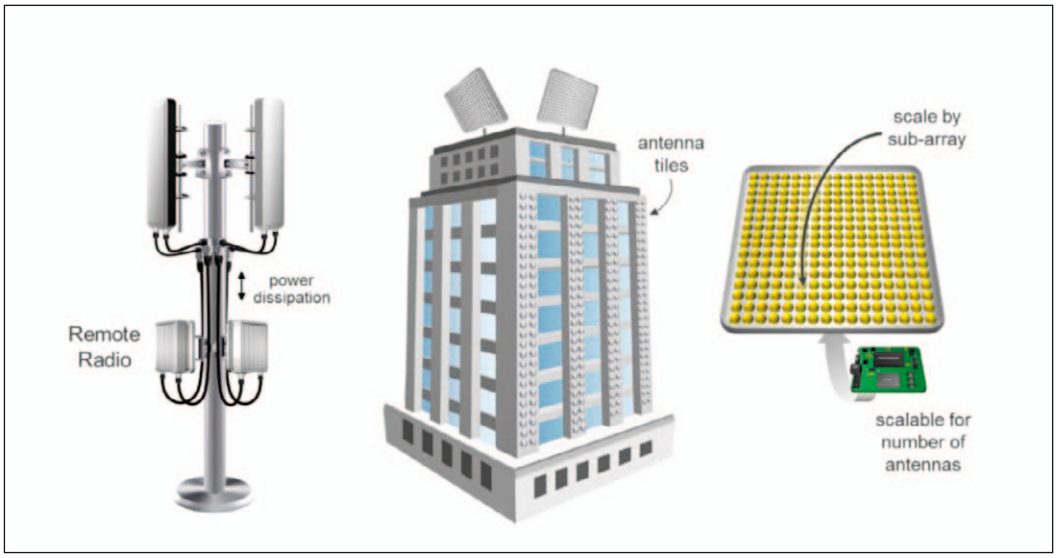


Bild 1: Antennen-Evolution: vom 4G-Sendemast zur MIMO-Auslegung

Wir leben in einer immer stärker vernetzten Welt, und die mobile Kommunikation ist ein signifikanter Teil dieser Konnektivität. Der wachsende Bedarf an High-Speed-Verbindungen mit geringer Latenz zur Unterstützung der mobilen Konnektivität definiert somit die Netze der fünften Generation (5G). Die Entwicklung dieser schnellen Kommunikationsnetze der nächsten Generation wird aber nicht nur vom Wandel der Nutzerforderungen in die Richtung von Video- und Cloud-Applikationen getrieben, sondern auch vom Internet of Things (IoT) und dem Industrial Internet of Things (IIoT).

Beide Varianten dieser künftigen Netzwerk-Topologien zielen auf die Machine-to-Machine-Kommunikation. Und im Fall des IIOT erfordert das äußerst zuverlässige Netze mit niedriger Latenz für kritische Applikationen. Die 5G-Netze bedeuten für die Netzbetreiber und die Equipment-OEMs große Herausforderungen, denn die unterschiedlichen Frequenzbänder am jeweiligen geographischen Ort und deren eigene regulatorische Vorschriften bedingen die Unterstützung mehrerer Luftschnittstellen mit einfach adaptierbaren Lösungen.

Die Netzwerke der fünften Generation sind somit dadurch definiert, dass sie Verbindungen mit höherer Zuverlässigkeit und signifikant reduzierter Latenz bei erhöhten Datenraten und höheren Übertragungskapazitäten bieten. Außerdem müssen sie eine größere Zahl von Verbindungen unterstützen können. Um diese definierenden Elemente der 5G-Konnektivität zu realisieren, erfordern die 5G-Netze und ihre Infrastruktur eine weitgehende technologische Evolution über die gegenwärtig genutzten Netze der vierten Generation (4G) hinaus. Zur Meisterung dieser Herausforderungen müssen die 5G-Lösungen die Eckpunkte einer gesteigerten spektralen Effizienz und die Unterstützung höchster Verdichtung bieten.

Mit höherer spektraler Effizienz lässt sich ein größerer Informationsgehalt innerhalb einer gegebenen Bandbreite, oft als Kanal bezeichnet, übertragen. Dies hilft, den wachsenden Bedarf an höheren Datenraten und Kapazitäten zu erfüllen. Die extreme Verdichtung der Übertragungswege führt zu einer signifikant höheren Zahl von Basisstationen und Back-Haul-Verbindungen. Das spricht für deren Implementierung, und das wiederum treibt die Änderung der Lösungen im Vergleich zu den heutigen Netzwerken.

Die heutige 4G-Infrastuktur hat eine Reihe problematischer Punkte, die ihre Fähigkeit zur Skalierung und Unterstützung der Netze der nächsten Generation begrenzen. Typisch für sie sind die Antennen-Arrays und die mit ihnen verbundenen Funksysteme, die auf den überall sichtbaren Sendemasten zur Versorgung der einzelnen Funkzellen montiert sind. Je nach ihrer Architektur umfassen diese Sendemasten ein integriertes Funksystem mit Antenne, oder sie verfolgen einen verteilten Aufbau der Antenne. Wegen der besseren System-Performance und zur Reduzierung der Verluste der für die verteilte Lösung benötigten koaxialen Verkabelung wird hier eine integrierte Auslegung eingesetzt.

Allerdings kann auch diese integrierte Auslegung des Antennen-Arrays nicht immer die notwendige Kapazität zur Implementierung von 5G-Netzen bereitstellen, da sie bei den geforderten Datenraten keine ausreichende Anzahl von Geräten unterstützt. Einfach ausgedrückt kann der Sendemast nicht die Zahl der Antennen unterstützen, die für die Einrichtung der 5G-Infrastruktur notwendig ist.

Aus diesem Grund gelten Massive MIMO- (Multiple Input Multiple Output) Architekturen als aussichtsreich zum Aufbau der Infrastruktur für 5G-Netze (Bild 1). Sie bestehen aus Systemen mit einer Vielzahl von Antennen, potenziell mit bis zu 1024 Einzel-Antennen. Das Massive-MIMO-Prinzip bietet somit die Fähigkeit zur Implementierung einer feinkörnigen Strahlformung, die räumliches Multiplexing ermöglicht. Das bedeutet, dass jeder einzelne Strahl die volle Bandbreite unterstützen kann, da die emittierte Energie innerhalb des Strahls konzentriert ist. Somit realisiert diese Anordnung eine höhere Effizienz der HF-Leistung. Massive-MIMO-Lösungen erlauben auch die Aufteilung der Messages und deren simultane Übertragung über verschiedene Verbindungswege, unter Nutzung mehrerer Antennen.

Diese Änderung der Antennenarchitektur ermöglicht höchste Verdichtung, da die Antennen in Form einzelner Tiles an Gebäuden, an deren Aufbauten und Teilen der umgebenden Strukturen angebracht werden können, statt wie bisher an den Mobilfunk-Sendemasten. Dies gilt insbesondere, wenn eine Millimeterwellen-Kommunikation für den Back-haul-Support anstelle des fest verdrahteten Back-haul eingesetzt wird.

Die geänderte Antennenanordnung führt andererseits auch zu Beschränkungen in Bezug auf die mit der Antenne verbundenen Funksysteme. Das betrifft nicht nur deren Energie-Effizienz, sondern auch den Formfaktor und die Skalierbarkeit von kleinen zu größeren Antennensystemen,

Harpinder Matharu, Ehab Mohsen, Anthony Collins und Adam Taylor
Xilinx, www.xilinx.com

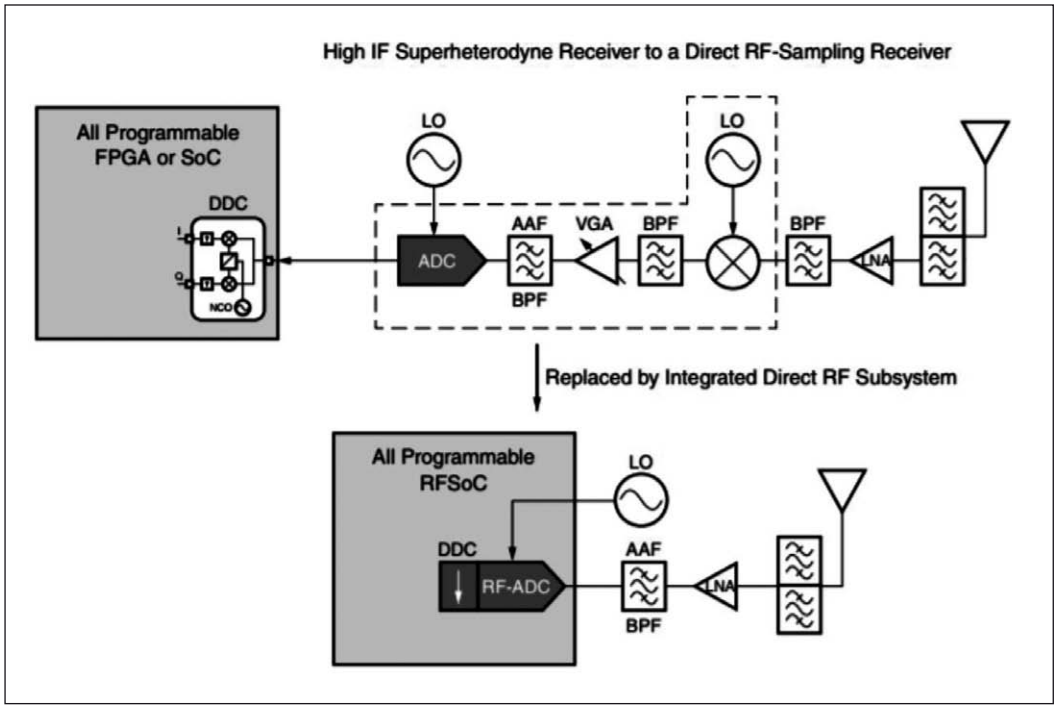


Bild 2: Direktes Sampling gegenüber ZF-Konversion

ohne grundlegende architektonische Änderungen. Allerdings sind es nicht nur die Erfordernisse der 5G-Infrastruktur, die Herausforderungen bringen. Auch die Netzbetreiber unterliegen Engpässen in der Frequenzauslegung ihrer Systeme.

Der Frequenzplan kann von Betreiber zu Betreiber variieren, je nach dessen Lizenzsituation und seiner geographischen Aufstellung. Doch die angestrebte Lösung muss so konfigurierbar sein, dass sie diesen Einsatzfällen gerecht wird.

Herausforderungen für Embedded Systeme

Die 5G-Funksysteme sind also mit mehreren Herausforderungen im Design konfrontiert, um ihre Skalierbarkeit und Leistungseffizienz sicher zu stellen. Zur Unterstützung kleiner Antennenanordnungen muss der Kern der Funkarchitektur eng integriert sein, um mit der kleineren Zahl von Antennen bei hohen Datenraten gute Verbindungen zu gewährleisten.

Der traditionelle Ansatz zur Lösung dieser Herausforderung wäre die Kombination von Multigiga-Sample-ADCs und DACs mit einem SoC (System on Chip). Dieser Ansatz ermöglicht die Auslegung von Embedded System Designs, mit Virtualisierung, CloudRAM, etc., innerhalb der SoC-Prozessorkerne, während die programmierbare Logik im SoC zur Implementierung der ADC/DAC-Schnittstellen und der Pipeline zur Signalbearbeitung dient.

Ein derartiger Ansatz erfordert allerdings eine signifikante Boardfläche zur Implementierung des SoC und dessen Support-Peripherie, sowie des analogen Frontends mit DAC und ADC. Damit die HF-Performance nicht leidet, muss eine ausreichende räumliche Trennung zwischen den Bausteinen eingehalten werden, zusammen mit der Berücksichtigung stringenter und zeitraubender Layout-Regeln.

Je mehr Kanäle die Lösung erfordert, desto komplexer werden die Fragen des Signal-Routings und der Leistungsintegrität. Alles das vergrößert den Formfaktor der angestrebten Lösung. Zur Gewährleistung der erhöhten Betriebsbandbreiten, die für die direkte Wandlung notwendig sind, enthalten viele Datenkonverter Schnittstellen nach JESD204B. Diese bringen jedoch mannigfache Probleme im Design mit sich. Der Interconnect nach JESD204B verbraucht FPGA-Ressourcen und erhöht die Leistungsaufnahme der Lösung.

Diese verteilte Lösung führt somit zu einer erhöhten Leistungsaufnahme. Typische High-Performance ADCs können dabei 2,25 W verbrauchen, während DACs in der Größenordnung 1,75 W liegen. Hinzu kommt die Leistungsaufnahme der JESD204B Transceiver. Das erhöht nicht nur den Platzbedarf auf dem Board, sondern auch die Leistungsaufahme der gesamten Lösung. Außerdem erhöhen die zusätzlich erforderlichen Schritte sowohl den Zeitaufwand für das Design der Lösung, als auch die einmalig fälligen Entwurfs- und Entwicklungskosten, zuzüglich der Kosten für Fertigung und Material.

Als Abhilfe für die Schwierigkeiten der Netzbetreiber im Hinblick auf die Lizenzierung und die geographischen Restriktionen bewährt sich der Einsatz des direkten HF-Sampling

Discrete Implementation	4x4 100MHz	4x4 200MHz	8x8 100MHz
Programmable Device	15W	23W	23W
RF ADC/DAC Components	16W	16W	32W
Total Power of Discrete Implementation	**31W**	**39W**	**55W**
Integrated RF-Analog Implementation			
Programmable Device + DC Subsystem	**18W**	**25W**	**27W**
TOTAL POWER SAVINGS	**13W**	**14W**	**28W**
	↓ 41%	**↓ 37%**	**↓ 51%**

Bild 3: Geringere Leistungsaufnahme durch das RFSoC-Konzept

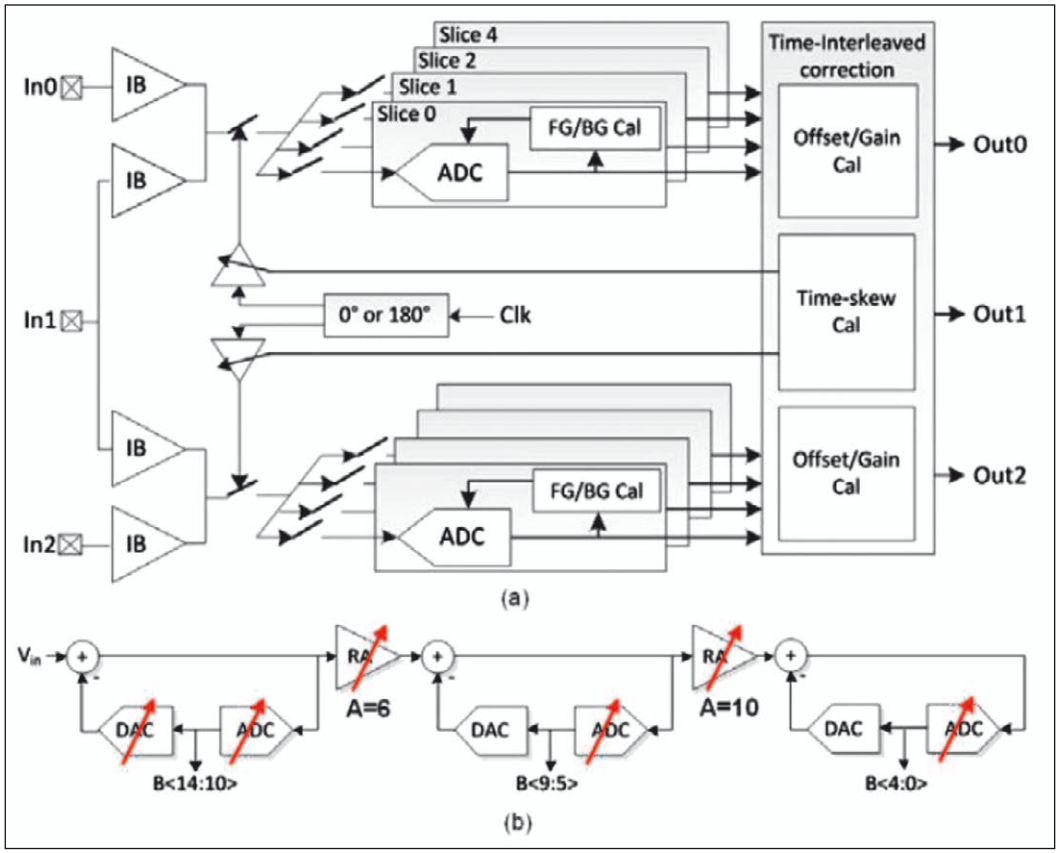


Bild 4: Überblick über die Architektur (a), ADC-Topologie (b)

zur Reduzierung der Anzahl der erforderlichen Komponenten im analogen Frontend. Direktes Sampling wird möglich durch die Verwendung von ADC- und DAC-Bausteinen mit hoher Sampling-Frequenz und hoher Bandbreite im Analogeingang. Damit kann man das HF-Signal direkt abtasten. Das erübrigt den Einsatz eines analogen Frontends zur Abwärtskonvertierung auf den Sampling-Bereich des ADC. Dazu Bild 2.

Analoge Frontends sind nicht programmierbar und nicht einfach an die Lizenzsituation oder geographische Restriktionen adaptierbar, was die OEMs dazu zwingt, unterschiedliche Frequenzbänder zu nutzen. Auch verlangt der Entwurf derartiger analoger Frontends Spezialkenntnisse im Design und die sorgfältige Auswahl der Komponenten, ihrer Platzierung und des Routing. Der Entwickler muss auch die alterungs- und temperaturbedingten Drifteffekte der Komponenten berücksichtigen.

Direktes Sampling erübrigt die Notwendigkeit vieler dieser Komponenten und ermöglicht die Signalverarbeitung in der digitalen Domäne. Allerdings ist dies mit einem Nachteil verbunden, nämlich dem Einsatz diskreter ADCs und DACs mit höherer Sampling-Frequenz zum direkten Sampeln des HF-Signals, die eine höhere Leistungsaufnahme haben.

Die Lösung für diese Herausforderungen beim Design besteht in noch engerer Integration in fortschrittlichen CMOS-Technologien, um die Leistungsaufnahme zu reduzieren und ein Analogon zum Moore'sche Gesetz zu nutzen. Dies gelingt durch die Integration der ADC- und DAC-Bausteine im SoC. Diese Integration bietet eine optimale Lösung im Hinblick auf Massive-MIMO-Applikationen.

Das RFSoC-Konzept

Das Konzept des RFSoC integriert folgerichtig die Multi-giga-Sample ADCs und DACs auf derselben Siliziumfläche, die auch das SoC mit dem Prozessorsystem und der programmierbaren Logik enthält. Dies ermöglicht eine Lösung mit viel engerer Integration und bietet das Potenzial für einen reduzierten Footprint und niedrigere Verlustleistung für 5G-Applikationen.

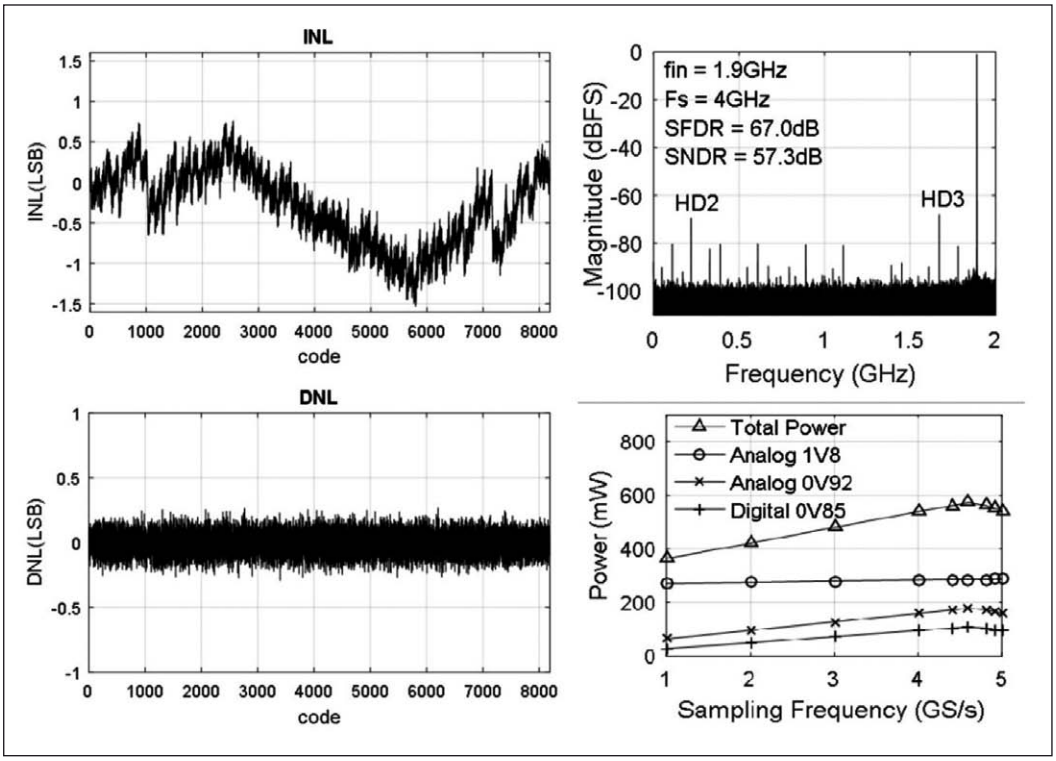


Bild 5: INL, DNL, FFT und Leistung

Die Integration von ADC und DAC reicht jedoch zur Bewältigung der genannten Herausforderungen nicht aus. Zu einer gründlichen Abhilfe muss das RFSoC auch Mischer und numerisch gesteuerte Oszillatoren umfassen. Es muss in der Lage sein, Verstärkungs- und Phasenfehler zu korrigieren, und entweder reale oder In-Phase- und Quadratur-Formatierungen zu unterstützen. Um die System-Performance weiter zu steigern, deckt das RFSoC-Konzept auch optimierte Verarbeitungen ab, etwa die digitale Abwärts- und Aufwärts-Konvertierung in nächster Nähe zum ADC und DAC.

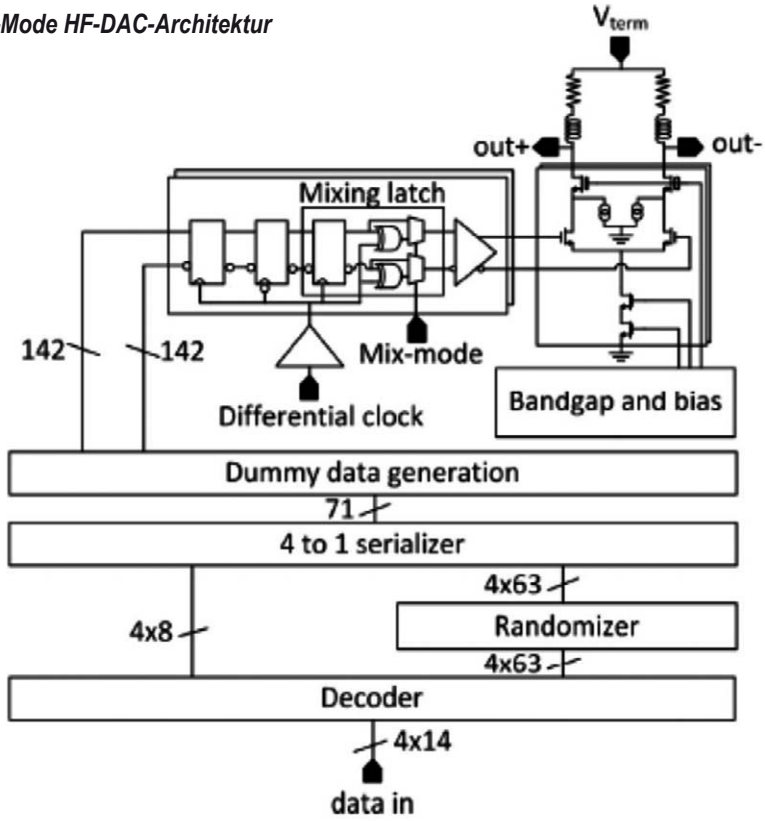
Durch das eng integrierte Format des RFSoC-Konzepts kommt der Baustein im Vergleich zu ähnlichen diskreten Lösungen mit einer geringeren Boardfläche aus. Ein typischer DAC oder ADC benötigt eine Boardfläche von bis zu 15 mm x 15 mm. Eine Applikation, die acht Konverter beider Arten verwendet, belegt somit eine Boardfläche von 1800 mm². Die entsprechende RFSoC-Lösung hingegen kann typisch in einem Gehäuse mit 30 mm x 30 mm Grundfläche untergebracht werden. Das bedeutet mit insgesamt nur 900 mm² Boardfläche eine signifikante Reduktion.

Der Einsatz dieser eng integrierten Lösung verkleinert nicht nur den erforderlichen Platz auf dem Board, sondern reduziert auch die gesamte Leistungsaufnahme. Da der Leistungsverbrauch mit der Sampling-Frequenz skaliert, wird die Reduzierung im Leistungsverbrauch einer eng integrierten Lösung unmittelbar erkennbar. Bild 3 vergleicht die Leistungsaufnahme eines Systems mit vier Transmittern und vier Receivern bei 100 MHz und 200 MHz, mit Implementierung entweder in diskreter Form oder in einem RFSoC. Die gezeigte Leistungseinsparung wird noch deutlicher, wenn die Lösung auf acht Transmitter und Receiver skaliert wird.

Es ist jedoch nicht nur die Boardfläche und die Leistungsaufnahme, mit denen das RFSoC-Konzept punkten kann. Ein so eng gekoppelter Baustein bietet auch signifikante Reduzierungen in der Komplexität der Sample-Takt-Verteilung. Das erlaubt ein einfacheres Taktschema, sowohl auf der Baustein-Ebene, als auch auf der System-Ebene. Die Verteilung ist weniger komplex, weil sie größtenteils im Baustein residiert. Dieses einfachere Taktnetzwerk reduziert die Leistungsaufnahme und den Aufwand für die Verteilung der GHz-Taktraten auf der Leiterplatte. Damit ergibt sich eine effizientere Gesamtlösung.

Das RFSoC-Konzept ist somit in der Lage, ein wesentlich enger integriertes Design zu liefern. Es schöpft damit das Potenzial für einen kleineren Footprint und geringere Leistungsaufnahme voll aus. Was noch zu untersuchen bleibt, ist die Analog/HF-Performance des ADC und DAC, um sicherzustellen, dass die geforderte Performance in der traditionellen digitalen CMOS-Technologie erzielbar ist.

Bild 6: Dual-Mode HF-DAC-Architektur



Welche Analog-Performance ist in fortschrittlicher CMOS-Technologie erreichbar?

Traditionell setzen analoge High-Performance Schaltungen wie ADC und DAC keine fortschrittlichen CMOS-Technologien zu ihrer Implementierung ein. Doch mit digitaler Unterstützung ist es möglich, High-Performance Konverter in 16-nm CMOS FinFET-Technologie zu realisieren.

Das ist der Schlüssel zur erfolgreichen Implementierung des RFSoC-Konzepts [Bruno Vaz et al., 2017], [Christophe Erdmann et al., 2017]. Diese Veröffentlichungen präsentieren Test-Chips, aber sie definieren nicht die resultierende Performance des RFSoC-Bausteins. Die anfänglichen Testresultate bedürfen also weiterer Diskussion.

Zwei Test-Chips wurden entwickelt, um die potenzielle HF/Analog-Performance in einer solchen Technologie zu untersuchen. Der erste Test-Chip enthält einen ADC nebst digitaler Schaltungsumgebung, während der zweite einen DAC-Konverter mit den zugehörigen digitalen Schaltungen verwendet. Der ADC-Test-Chip implementiert eine dreistufige asynchrone SAR mit Pipeline und Verstärker auf der Basis eines Open-loop Integrators, wie in Bild 4 gezeigt.

Diese Architektur wurde gewählt, weil sie die Maximierung der Sampling-Frequenz, der Auflösung und der Linearität erlaubt. Um die Leistungsaufnahme, das Rauschen und die Kosten niedrig zu halten, wird die Architektur durch mehrere dynamische Schaltungen und eine Anzahl digitaler Kalibrierschleifen unterstützt. Das ADC-Design ist konfigurierbar, um entweder die zweikanalige Konvertierung über die Eingänge In0 und In2 zu ermöglichen (im Bild 4 mit 2 GS/s), oder eine einkanalige Konversion mit 4 GS/s über In1.

Diese Vorgehensweise ist es, was dem ADC die Unterstützung von direkten HF- oder auch von I/Q-Architekturen ermöglicht. Allerdings eröffnet die Verwendung der Sampling-Rate von 4 GS/s

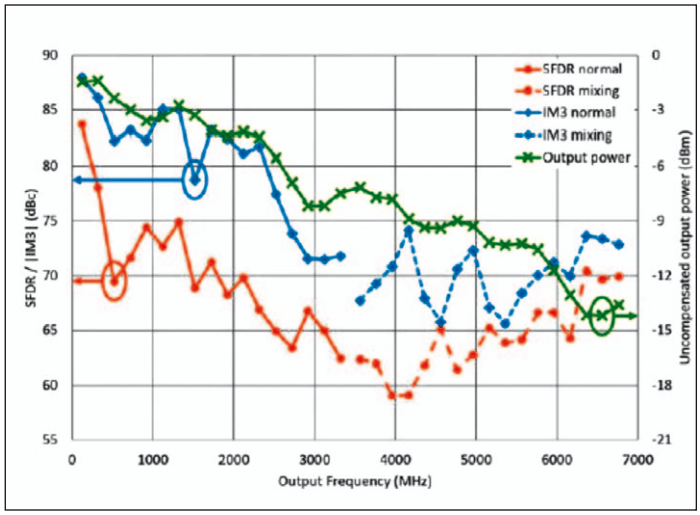


Bild 7: IM3 SFDR-Wert und Ausgangsleistung

eine größere Flexibilität in der Frequenzplanung, da sie eine höhere Bandbreite unterstützt. Jeder 2-GS/s ADC-Slice enthält vier ADCs mit 500 MS/s, die im Interleave-Prinzip arbeiten. Um Probleme hinsichtlich PVT und Leckstrom anzugehen, die die Performance bei niedrigen Sampleraten beeinträchtigen, wird im ADC ein asynchrones Taktschema implementiert.

Die mit diesem ADC-Test-Chip bei 4 GS/s im direkten HF-Modus erzielten Resultate sind: INL ±1,5 LSB und DNL ±0,3 LSB. Mit einem Eingangssignal von -1 dBFS bei 1,9 GHz liefert der Konverter einen SFDR-Wert von 67,0 dB und ein SNDR von 57,3 dB. Die gesamte Leistung bei 4 GS/s beträgt 513 mW, wie in Bild 5 gezeigt.

Der DAC-Test-Chip implementiert einen Mischer-DAC, der volle Funktionalität über die erste, zweite und dritte Nyquist-Zone bietet. Dies ist möglich durch die Implementierung des Mischers innerhalb des Datenpfades. Wie beim ADC implementiert der DAC-Test-Chip einen Dual-Mode HF-DAC mit Stromsteuerung an den Ausgängen (Bild 6).

Mit seiner auf 5G-Applikationen ausgerichteten Entwicklung bietet der DAC des Test-Chips einen ACPR-Wert von -70,8 dBc in einem 20-MHz-Kanal, mit Zentrierung auf 5,2 GHz, sowie einen NSD-Wert von -160,2 dBm/Hz. Bei der Erzeugung eines Zweitonsignals von 5,2 GHz im Normalbetrieb ist der IM3-Wert besser als -71 dBc, während SFDR in der ersten Nyquist-Zone bei 62 dBc liegt. Im Mischerbetrieb ändern sich beide Werte in der zweiten Nyquist-Zone auf -65 dBc, bzw. 59 dBc (Bild 7).

Wie bewältigt das RFSoC diese Herausforderungen?

Die Herausforderungen von 5G sind beherrschbar durch die Implementierung von Systemen mit größerer spektraler Effizienz und extrem hoher Verdichtung. Das erfordert, wie bereits ausgeführt, die Auslegung des 5G-Funksystems als kompaktes High-Performance-System mit geringer Leistungsaufnahme. Eine derartige Lösung muss außerdem im Hinblick auf die Anzahl der zu unterstützenden Antennen skalierbar sein.

Das RFSoC-Konzept adressiert diese und weitere Herausforderungen durch eine signifikante Reduktion im Footprint, um damit ein im Vergleich zur diskreten Implementierung um 50% kleineres Funksystem zu realisieren. Bei einer größeren Zahl von Antennen, die vom System unterstützt werden sollen, und mit höherer Signal-Bandbreite steigt auch die Anzahl der erforderlichen JESD-Links zwischen dem SoC und dem externen Konvertern.

Die Platzeinsparung wird noch signifikanter durch die starke Integration des RFSoC. Die Reduktion im Footprint lässt für die derzeitigen Proof-of-Concept Implementierungen gute Aussichten für eine kommerzielle Realisierung erwarten. Der RFSoC-Ansatz bringt weitere Vorteile durch die verringerte Leistungsaufnahme, wenn man ihn mit einer diskreten Implementierung vergleicht.

Die Anordnung der Signalbearbeitungskette hinter den ADCs und DACs in der programmierbaren Logik kann alle Vorteile der High-Level-Synthese nutzen. Das ermöglicht die Verwendung von Hochsprachen wie C, C++, Matlab und Simulink, um das Design zu erfassen und es aus dem System-Modell heraus zu generieren.

Dieser Ansatz umgeht auch die Notwendigkeit der Definition des System-Modells vor seiner Implementierung in einer HDL wie VHDL oder Verilog. Das verkürzt nicht nur die Entwicklungszeit, sondern führt auch zu einem effizienteren System-Design, bei dem die HF- und Basisbandverarbeitung vereinigt sind und auf diese Weise eine optimale Implementierung schaffen. Auch die Verifizierung des RFSoC wird damit einfacher, da die digitalen und HF-Algorithmen innerhalb des Entwickungsflusses gemeinsam verifiziert werden können.

Der Einsatz des direkten Sampling in einer eng integrierten Lösung mit den Prozessoren und der programmierbaren Logik ermöglicht auch eine große Flexibilität bei der Implementierung der endgültigen Architektur. Dies wird in einem rapide fortschreitenden Feld wie 5G immer wichtiger, in dem die endgültigen Spezifikationen noch nicht erstellt und zugelassen sind. Dies bedeutet auch, dass Revisionen des Standards noch vor der Auslieferung berücksichtigt werden können, und dass sich zukünftige Revisionen wegen der Reprogrammierbarkeit der Lösung mit größerer Leichtigkeit im Feld implementieren lassen.

Viele der 5G-Applikationen dürften in abgelegenen und isolierten Gegenden betrieben werden und nutzen dabei vorteilhaft die Sicherheitsfunktionen, die das RFSoC bietet, wie Anti Tamper, Secure Boot und Trust Zone. Dies gewährleistet, dass nur autorisierte Personen in den Betrieb des Funksystems eingreifen und dieses modifizieren können. Auch bietet das RFSoC fortschrittliche Optionen beim Power Management, die es dem Baustein ermöglichen, den Leistungsverbrauch im Ruhezustand zu reduzieren. Das ist besonders wichtig in Installationen und Applikationen, in denen der 5G-Service von der Nutzerseite zwar erwartet, aber nur gelegentlich nachgefragt wird.

Schlussfolgerung

Die Herausforderungen, die 5G-Systeme mit sich bringen, verlangen eine neue und disruptive Vorgehensweise, wie sie vom RFSoC-Konzept realisiert wird. Dieses Konzept bietet eine eng integrierte und Software-definierte, programmmierbare Lösung. Sie erfüllt nicht nur die Performance-Anforderungen innerhalb der Signalkette, sondern ermöglicht auch eine Reduktion in der Baugröße der Implementierung und der Leistungsaufnahme, um Massive-MIMO-Applikationen zu unterstützen.

Natürlich ist das RFSoC-Konzept nicht nur für 5G-Applikationen nutzbar. Es eignet sich ebenso gut für DOCSIS-, Imaging- und viele andere Mixed-Signal-Applikationen.

Referenzen

Christophe Erdmann et al. (2017). A 330mW 14-bit 6.8GS/s dual-mode RF-DAC in 16nm FinFET achieving -70.8dBc ACPR in a 20MHz channel at 5.2GHz. ISSCC.

Bruno Vaz et.al., (2017). A 13b 4GS/s Digitally-Assisted Dynamic 3-Stage Asynchronous Pipelined-SAR ADC. ISSCC. ◄