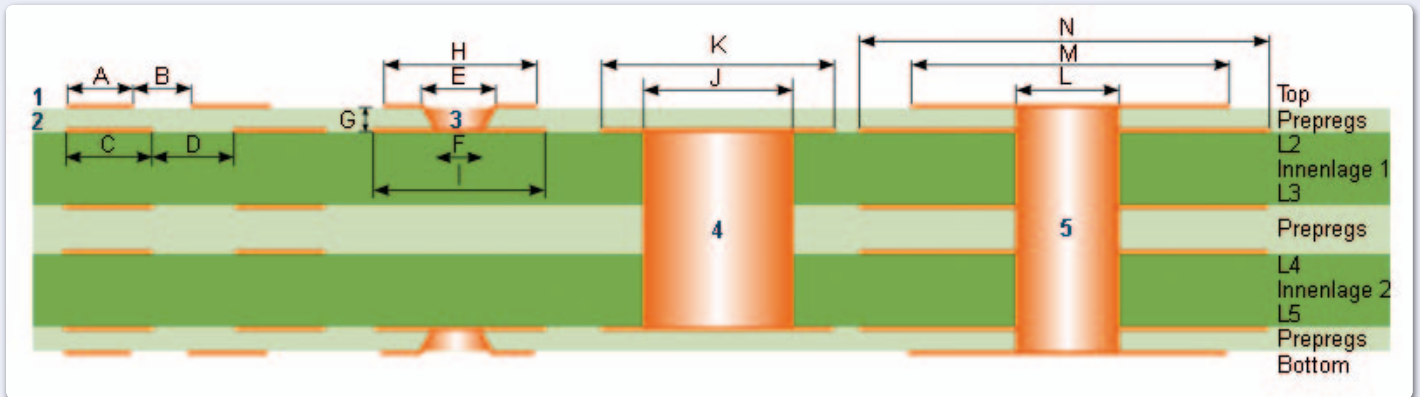


Impedanzkontrollierte Leiterplatten

Besser verstehen, qualifiziert entwerfen, optimal fertigen und richtig testen



In den letzten Jahren ist der Markt impedanzkontrollierter Leiterplatten stark angewachsen und macht nun ungefähr die Hälfte des Gesamtvolumens aus. Dafür gibt es drei Gründe: Vor allem erlauben die (Miniaturisierungs-)Fortschritte bei

Bedeutung elektromagnetischer Verträglichkeit (EMV). Platinen sollen möglichst robust gegen Störfelder sein und selbst möglichst wenig Störstrahlung abgeben. Auch diese Ziele lassen sich nur erreichen, wenn man die Übertragungsleitungen auf

mit hoher Pin-Dichte in Bedrängnis geraten. Dünne Leiterplatten z.B. mit 100-µm-Strukturen ermöglichen dabei impedanzkontrollierte Leitungen und somit freie Fahrt für Signale mit hohen und höchsten Frequenzen. Unser Aufmacherbild zeigt die Struktur eines sechslagigen HDI/SBU-Multilayers (orange: Leiterbahn aus Kupfer, kegelig: Microvia, Quelle: Wikipedia).

„Die Impedanz-Technik ist für unsere Kunden nicht mehr nur ein Muss, sondern ist bei vielen Entwicklungen bereits eine Standardanforderung geworden.“

Christian Ranzinger, Leiter Technologie bei Contag AG

den Bauelementen immer höhere Signalfrequenzen, sodass sich die Anforderungen an die Verbindungsstrecken erhöhten - egal, ob für analoge oder digitale Übertragung. Hinzu kommt die steigende

der Platine nach hochfrequenztechnischen Gesichtspunkten definiert.

Die genannten Entwicklungen brachten die klassischen Multilayer-

„impedanzkontrolliert“

Der etwas merkwürdige Ausdruck „impedanzkontrolliert“ wurde vom englischen Begriff impedance control abgeleitet und meint hier nicht etwa nur eine Kontrolle, sondern das unter Kontrolle bringen aller bezüglich der Signale und der EMV relevanten Leitungsimpedanzen.

„Immer höhere Signalfrequenzen und kürzere Schaltzeiten der Bausteine erfordern die exakte Einhaltung der vorgegebenen Impedanzwerte.“

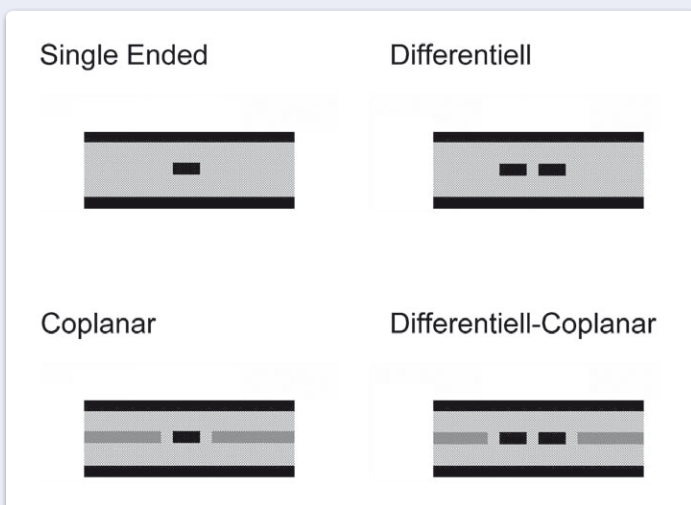
Hermann Reischer, Contag AG

Platinen immer mehr an ihre physikalischen Grenzen. Es schlug die Stunde der HDI-Leiterplatte (High-Density Interconnect), einer besonders kompakt gestalteten Platine. HDI PCBs (Printed Circuit Boards) erlauben feinere Leitungsstrukturen und kleinere Durchkontaktierungen (Microvias) mit besseren elektrischen Eigenschaften. Durch die Verpressung weiterer Lagen mittels SBU-Technik (Sequential Build Up) lassen sich Signale auf den inneren Lagen koppeln und entflechten, ohne dass Bauteile

Platinen für hohe Frequenzen verstehen

Für das Verständnis impedanzkontrollierter Leiterplatten genügt reines elektrotechnisches Wissen nicht mehr, sondern es müssen auch die darüber hinausgehenden Grundlagen der Übertragung von hochfrequenten Signalen beherrscht werden.

Dies wird manchmal nicht gesehen, und so kommt es zu fragwürdigen Darstellungen, wie beispielsweise in [1, 2] beschrieben.



Impedanzklassen – Einteilung nach FED am Beispiel einer Stripline-Variante (eine Leitungsebene zwischen zwei Planes, Quelle: ibw Industrieberatung)

Impedanztypen

Single-Ended-Impedanz: Impedanz einer Leitung, welche nicht mit einer zweiten Leitung gekoppelt ist

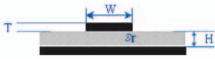
Differentielle Impedanz: Impedanz zwischen einem parallel verlaufenden und symmetrisch aufgebautem Leitungspaar

Odd-Mode-Impedanz: Die Impedanz einer Leitung eines Leitungspaares gegen Masse, ist halb so groß wie die differentielle Impedanz

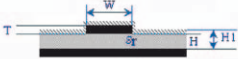
Even-Mode-Impedanz: Impedanz einer Leitung eines Leitungspaares, wenn beide Leitungen mit einem Signal gleicher Amplitude und gleicher Polarität beaufschlagt werden

Common-Mode-Impedanz: Impedanz eines Leitungspaares, wenn beide Leitungen kurzgeschlossen sind, ist halb so groß wie die Even-Mode-Impedanz

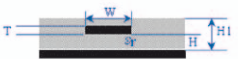
Open Microstrip



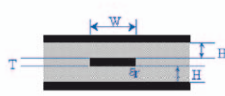
Coated Microstrip



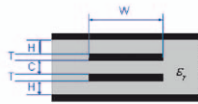
Embedded Microstrip



Stripline



Dual Stripline



W = Leiterbahnbreite - Width
 T = Leiterbahndicke - Thickness
 H = Abstand zur Potentialfläche - Height (over Plane)
 C = Abstand der Striplines - (Stripline) Clearance
 H1 = Gesamtdicke Dielektrikum beim Embedded Microstrip, Gesamtdicke Dielektrikum+Lack
 ϵ_r = Dielektrizitätskonstante

Impedanztypen – Die Lagenzuordnung bestimmt den Leitungstyp und dessen Grundeigenschaften (Quelle: ibw Industrieberatung)

Die gemeinten Grundlagen sind:

1. Wellenwiderstand
2. Wellenleitung
3. Reflexion

1. Wellenwiderstand

HF-Leitungen zeichnen sich durch einen homogenen Aufbau aus, d.h. ihr Querschnittsbild ist über die Länge konstant. Das hat zur Folge, dass weder die verteilte Induktivität noch die verteilte Kapazität einen störenden (dämpfenden) Einfluss ausübt. Verluste entstehen lediglich durch den ohmschen Leiterwiderstand und das nicht ideale Dielektrikum. Verteilte Induktivität und Kapazität sind konstruktionsbedingt und bestimmen den oft als Impedanz bezeichneten Wellenwiderstand der Leitung, ihre wichtigste Kenngröße. Der Wellenwiderstand wird von der Quelle wie ein ohmscher Widerstand gesehen; etwa eine 75-Ohm-Leitung nimmt daher aus einer Quelle mit 75 Ohm Innenwiderstand die maximal mögliche Leistung auf (Widerstandsanpassung), ohne eine Phasenverschiebung zwischen Strom und Spannung zu verursachen. Dieser Zustand ist völlig unabhängig von den weiteren Leitungskenngrößen und davon, ob und wie die Leitung am Ende abgeschlossen ist.

2. Wellenleitung

Im Gegensatz zu einem „Klingeldraht“ oder zu einer 230-V-Netz-

leitung pflanzt sich auf einer HF-Leitung in erster Linie ein elektro-

„Der Trend bei der Entwicklung der integrierten Bauteile wird dazu führen, dass in wenigen Jahren jede digitale Schaltung die Highspeed-Bedingungen berücksichtigen muss.“

Markus Biener, Zollner AG

magnetisches Wechselfeld fort. Die zugehörigen Spannungen und Ströme haben hier zweitrangige Bedeutung. Man spricht von Wellenleitung. Eine HF-Leitung ist also gewissermaßen ein Energie-Zwischenspeicher, vergleichbar mit einer Wasserleitung. Dies vermögen die genannten einfachen Leitungen nicht.

3. Reflexion

Die gewissermaßen in die HF-Leitung gepumpte Energie kann diese nur dann am Ende vollständig verlassen, wenn dort ein ohmscher Widerstand gleich dem Wellenwiderstand liegt. Andernfalls muss ein Teil der Energie oder (bei Leerlauf oder Kurzschluss) die gesamte Energie umkehren. Man spricht von einer Reflexion. Diese ist unerwünscht, sodass man einen „impedanzrichtigen“ Abschluss der Leitung anstrebt.

Bei den Platinen erfolgt das so, dass man die Leitung so gestaltet, dass ihr Wellenwiderstand

dem Eingangswiderstand der mit dem Signal zu versorgenden Baugruppe entspricht. Bei HDI-Leiterplatten beträgt er typischerweise 50 bis 100 Ohm.

und dann Möglichkeiten für die Gestaltung der Leitung angeboten bekommt. Hierzu gehören beispielsweise die hochgenauen 2D-Field-Solver-Simulationsprogramme oder die Impedanzberechnungs-Software von Polar Instruments mit etwa 100 Impedanzmodellen.

Parameteränderungen wirken sich vielfältig und wechselseitig – vergleichbar mit einem Perpetuum mobile an der Zimmerdecke – auf die Impedanz aus. Zu den beeinflussenden Parametern gehören:

- Lagenabstand
- Harzgehalt des Platinenmaterials
- Kupferdicke der Signallage
- Leiterbahnbreite
- Dielektrizitätskonstante des Platinenmaterials

Selbst das Vorhandensein oder Nichtvorhandensein von Lötstopplack hat Einfluss. Nicht übersehen sollte man auch, dass sich die Cu-Schichtdicken auf die tatsächliche

Nähere Informationen, auf deren Basis man jedes beliebige Übertragungssystem berechnen kann, bringt [3].

Platinen für hohe Frequenzen entwerfen

Im Prinzip benötigt man also ein Programm, bei dem man einen Impedanzwert eingeben kann

Wichtige Einflussgrößen auf die Impedanz

- Leiterbreite (einfach veränderbar)
- Lagenabstand (durch Materialwahl bestimmt)
- Kupferdicke (durch Materialwahl bestimmt)
- Dielektrizitätskonstante (durch Materialwahl bestimmt)
- Flankenform (prozessbedingt)
- verpresste Dicke eines Prepregs

Dies ist die Dicke, nachdem das Material zwischen zwei Kupferfolien mit 100% Kupferbelegung verpresst wurde – ohne Vias, Freistellungen etc. Auch dieser Parameter ist wichtig für die weitere Berechnung der Enddicke des Aufbaus und der enthaltenen Impedanzstrukturen.



Impedanzmessgerät von der Firma Polar Instruments

Schichtdicke beziehen. Die Cu-Schichtdicke nimmt jedoch beim sequentiellen Lagenaufbau auf den Innenlagen infolge des Ätzprozesses ab und auf allen Außenlagen, auf denen Kontaktierungen enden, durch den Kontaktierungsprozess zu. Oberflächenbehandlungen wie Planen und Bürsten bewirken hingegen hier wieder eine Abnahme. Hier gilt es also, Sorgfalt walten zu lassen. Es wird deutlich, dass es sinnvoll ist, sich bereits im Entwicklungsprozess mit dem Leiterplattenhersteller über dessen Möglichkeiten und deren Kosten abzustimmen. Gemeinsam sollte man den prinzipiellen Lagenaufbau festlegen und dann die Leitungsimpedanzen optimieren, typischerweise durch Variieren der Leiterbahnbreite.

„Durch die diskreten (also nicht stufenlos und frei wählbaren) Vorga-

ben der Werte für Laminat- und Kupfer-Schichtdicke sowie die üblichen Leiterbahnrastrer (z.B. 75, 100, 125 und 150 mm) ist hier die Anzahl an sinnvollen Kombinationsmöglichkeiten für eine bestimmte Zielimpe-

danz nicht allzu groß. Zudem werden die möglichen Laminatdicken auch noch durch das maximale Aspect Ratio eingeschränkt. Dies gilt insbesondere bei der Verwendung der in der HDI-Technik üblichen Mikro-

„Aus Sicht der Leiterplattenfertigung besteht die Einhaltung der Impedanz vornehmlich in der Kontrolle mechanischer Parameter (Laminatdicke, Kupferdicke, Leiterbahnbreite, Leiterbahnabstand) und in der Reproduzierbarkeit der Produktionsprozesse (fotoploten, Resist, belichten, Multylayer verpressen, ätzen).“

Arnold Wiemers, Leiterplatten-Akademie GmbH

„Im Entwicklungsprozess ist Abstimmung mit dem Leiterplattenhersteller angeraten.“

Karim Richlowski, Leiter CAM bei Contag AG

Standards zur Impedanzkontrolle

IPC 2141A: Design Guide for High-Speed Controlled Impedance Circuit Boards

IPC 2251: Design Guide for the Packaging of High-Speed Electronic Circuits

IPC TM 650- 2.5.5.7: Characteristic Impedance of Lines on Printed Circuit Boards by TDR

IEC 61188-1-2: Printed boards and printed board assemblies – Design and use – Part 1-2: Generic requirements – Controlled impedance

vias.“ [4] Mögliche Abweichungen der Impedanz (etwa infolge ihrer Toleranz, üblich sind $\pm 10\%$) vom Nenn-Eingangswiderstand der zu versorgenden Baugruppe werden hingegen meist überschätzt. Hierzu sollte man z.B. wissen, dass bei einem Abweichen der Leitungsimpedanz um -50% oder $+100\%$ von diesem Nennwert immer noch 89% der verfügbaren Signalleistung in den Eingang gelangen. Dies wird verständlich, wenn man sich bewusst macht, dass bei einer Fehlanpassung immer ein zu niedriger Strom durch eine höhere Spannung (Last

zu groß) oder umgekehrt eine zu niedrige Spannung durch einen höheren Strom (Last zu gering) teilkompensiert wird. Allerdings gilt es bei der Informationsübertragung immer, den durch eine Fehlanpassung beeinträchtigten Störabstand konkret zu beachten. Dieser wird bei digitalen Signalen bekanntlich an einer Spannung festgemacht.

Wenig kritisch sind „elektrisch kurze“ Leitungen. Darunter versteht man Leitungen, die höchstens 10% der kleinsten Signalwellenlänge lang sind. Diese ergibt sich als Quotient aus Ausbreitungsgeschwindigkeit und Frequenz. Bei FR4 liegt die Geschwindigkeit recht genau bei halber Lichtgeschwindigkeit. Somit ergibt sich für 1 GHz eine Wellenlänge von 15 cm , und alle Leitungen, die kürzer als 15 mm sind, gelten als elektrisch kurz. In dem Falle darf man die Impedanz der Leitung oft vernachlässigen, da im Falle einer Reflexion aufgrund der Kürze der Leitung keine nennenswerten Phasenunterschiede zwischen den Größen der hinlaufenden und der reflektierten Welle auftreten können. Die elektrischen Verhältnisse sind dann annähernd so, als ob Quelle und Last direkt verbunden wären.

Die Impedanz „elektrisch langer“ Leitungen von z.B. 30 mm bei 1 GHz sollte man immer so auslegen, dass keine Reflexion auftritt, also entsprechend dem Außenwiderstand am Leitungsende. Beispiele:

- Quelle 75 Ohm , Last 75 Ohm : Impedanz 75 Ohm
- Quelle 50 Ohm , Last 75 Ohm : Impedanz 75 Ohm
- Quelle 75 Ohm , Last 50 Ohm : Impedanz 50 Ohm

Transformationsglieder sind oft nicht sinnvoll, da sie nennenswert dämpfen und die Phasenlage beeinflussen.

Nach [4] ist bei impedanzkontrollierten Leiterzügen auf folgende, teils vernachlässigte Punkte zu achten:

- Mindestabstände einhalten (zwecks geringer gegenseitiger Beeinflussung)
- Leiterebenen konsequent orthogonal verlegen (dto.)
- Durchkontaktierungen (und damit mögliche Diskontinuitäten/Reflexionen) vermeiden
- differentielle Impedanz bezüglich der virtuellen Masse ist bei eng geführten Leiterpaaren

Begriffe und Abkürzungen

Aspect Ratio (Seitenverhältnis): allgemein das Verhältnis zweier verschiedener Abmessungen einer geometrischen Form

Blind Via (Sackloch): auf einer Innenlage endende Ankontaktierung

Buried Via (vergrabene Durchkontaktierung): in den Kernlagen liegende und außen nicht sichtbare Durchkontaktierung

CAM (Computer-Aided Manufacturing): rechnerunterstützte Fertigung, Verwendung einer von der CNC-Maschine unabhängigen Software zur Erstellung des NC-Codes

FED: Fachverband für Design, Leiterplatten- und Elektronikfertigung

FEM: Finite-Elemente-Methode, weitverbreitete numerische Lösungsmethode im Bereich wissenschaftlich-technischer Aufgabenstellungen

HDI (High Density Interconnect): Schaltung mit Microvias und feinsten Strukturen

Microstrip: Leitung auf den Außenlagen einer Ebene

Microvia: An- oder Durchkontaktierung mit einem Durchmesser unter 200 µm

Open Microstrip: nicht (mit Lötstopplack) abgedeckte Streifenleitung

Plane: „geschlossene“ Potentialebene, Typ und Eigenschaften der impedanzkontrollierten

Leitung werden durch den Abstand zur nächstliegenden Ebene definiert.

SBU (Sequential Build Up): sequentieller Lagenaufbau, bedingt mindestens zwei Pressvorgänge bei Multilayer-Schaltungen

Stripline: Leitung in den Innenlagen einer Ebene

TDR (Time Domain Reflection): Reflexionsnutzung im Zeitbereich, Messverfahren für elektrische Leitungslänge und Reflexionsverhalten

Testcoupons: eigene Platinen zum Impedanztest auf dem Produktionsnutzen

meist erheblich höher als Nennimpedanz

- Maximalwerte für Induktivität und Kapazität der Leiterbahn einhalten
- Layer-Wechsel vorzugsweise mit (elektrisch optimalen) Microvias
- impedanzkritische Signale möglichst als Innenlagen führen
- Cu-Schichtdicken beziehen sich auf die tatsächliche Schichtdicke.

Single-Ended-Leiterbahnen sind derzeit am häufigsten anzutreffen. Dabei läuft die Leiterbahn zwischen zwei Powerplanes, die als Potentialreferenz dienen. Neue und schnellere Schaltkreistechnologien werden Mischformen mit differentiellen Leitungen erfordern. Diese lassen sich leider kaum mehr von Hand berechnen. Daher liefern die Chip-Produzenten zumindest für einfache Standard-Lagenzuordnungen meist Standard-Layoutvorgaben mit. Andernfalls benötigt man Spezialsoftware, welche die Ausformung der Leitungen mit der gewünschten Impedanz mithilfe der Finite-Elemente-Methode berechnet.

Auch bei Flex- und Starrflex-Leiterplatten sind kontrollierte Impedanzen erforderlich. Ein kleiner Lagenabstand sowie eine geringe Leiterbreite stellen hier besondere Herausforderungen dar. Eine Lösung sind aufgerasterte Referenzlagen.

Platinen für hohe Frequenzen fertigen

Das Ziel bei der Herstellung impedanzkontrollierter Platinen besteht ganz einfach darin, vorgegebene Strukturen und somit Impedanz-

werte reproduzierbar zu fertigen - und dies möglichst kostengünstig. Doch das Herstellungsverfahren

„Es erscheint sinnvoll, Standards zu definieren, indem einer Standardimpedanz ein Standard-Lagenaufbau mit Standardmaterial zugeordnet wird.“
Markus Biener, Zollner AG

ist mehr oder weniger komplex. Es gilt, den richtigen Hersteller zu finden, mit dem man langfristig zufrieden sein wird. Denn ein Wechsel wird garantiert aufwendig und teuer.

Christian Ranzinger von der Contag AG ist ein Kenner der Problematik und weiß um die vielen Fallstricke und Tücken: „Da die Impedanz von der Leiterbahngeometrie bestimmt wird, muss der Leiterplattenhersteller Dickentoleranzen des

„Neben der Impedanz werden in Zukunft auch Leiterbahndämpfung, dielektrische Verluste und Skineneffekt eine wichtige Rolle spielen.“
Hermann Reischer, Contag AG

Basismaterials und der Kupferfolie durch eine Anpassung der Leiterbreite kompensieren. Dies erfordert viel Erfahrung und genaue Kenntnis der Einflussgrößen im Produktionsprozess.“ In der Tat hat man nur dann Erfolg, wenn der Platinenhersteller auf seinem CAM-Arbeitsplatz kritische Parameter optimieren kann. Denn viele Parameter, welche die Impedanz beeinflussen, sind im Zusammenhang mit den Produktionsmöglichkeiten zu sehen.

Ein Fullservice erscheint daher vorteilhaft, bietet er doch von der technischen Beratung und Entwick-

lung bis zur Fertigung und Messung der impedanzkontrollierten Leiterplatten alles aus einer Hand an.

Platinen für hohe Frequenzen testen

Die Impedanzen müssen während oder nach der Leiterplattenfertigung ermittelt werden, denn im bestückten Zustand gelingt dies nicht mehr. Es handelt sich um einen elektrischen Test. Die übliche Vor-

einem speziellen Messplatz auswerten. Für eine entsprechende Messausrüstung ist also zu sorgen.

Eine solche Endkontrolle kann z.B. mit einem CITS900s von Polar Instruments erfolgen. Dieses Messgerät der neusten Generation erlaubt es, die Ergebnisse der Prüfung nach DIN ISO 9002 zu protokollieren.

Es besteht oft auch die Möglichkeit, spezielle Teststrukturen (ggf. zusätzlich zu den Testcoupons) auf den Leiterplatten mit aufzubringen.

Und auch hier ist wieder die rechtzeitige Abstimmung mit dem Platinenlieferanten wichtig, um mögliche Fehler und Irrwege bereits frühzeitig zu vermeiden.

Quellen:

[1] Volker Feyerabend: Saubere Signale, Hochfrequenz in der Entwicklung und Herstellung von Leiterplatten, productronic 3/2015, S. 40f

[2] Volker Feyerabend: Hochfrequenz in der Entwicklung und Herstellung von Leiterplatten, smt 3/2016, S. 16f

[3] Frank Sichla: HF-Leitungen verstehen und nutzen, DARC Verlag Baunatal 2012

[4] Karim Richlowski: HDI-Leiterplatten, Teil 14, Die Grundlagen von impedanzkontrollierten Leiterplatten, ElektronikPraxis

[5] Markus Biener, Arnold Wiemers: Technisch-physikalische Anforderungen an die Signalübertragung auf Leiterplatten, Plus 11/2015, S. 2230ff

[6] Controlled Impedance – An Introduction, www.polarinstruments.com **FS**