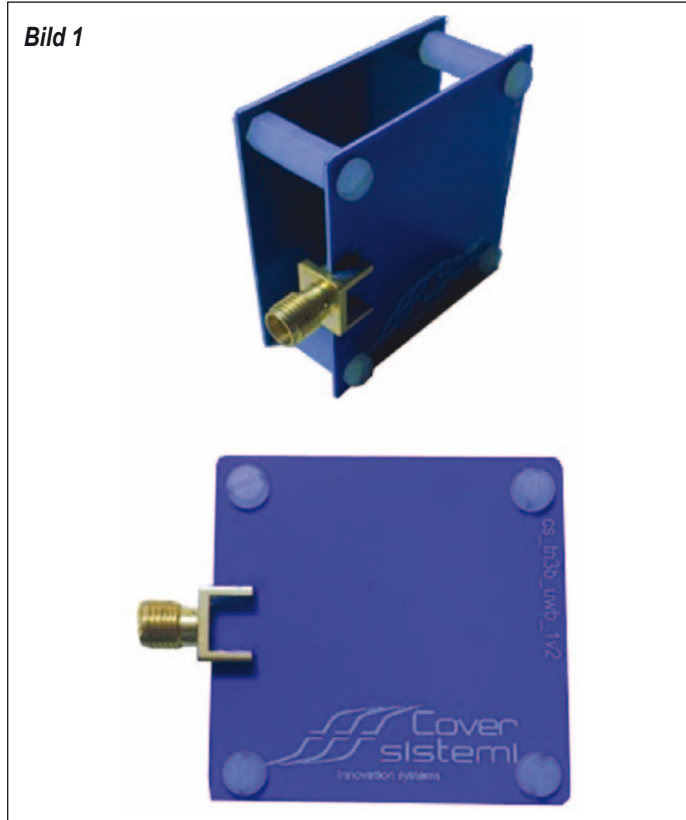


# Entwurf, Optimierung und Fertigung eines Ultra-Breitband-Empfängers

Die vorliegende Fallstudie gibt einen Überblick über den Entwurf der HF-Schaltung und des Leiterplatten-Layouts eines Ultra-Breitband-HF-Empfängers. Äußerste Sorgfalt beim Design und ein perfektes Leiterplattenlayout führten dazu, dass bereits der erste Prototyp alle Spezifikationen erfüllte. Die Design-Herausforderung bestand darin, den kompletten HF-Empfänger – von der Antenne bis zur Digitalschnittstelle – in einem einzigen Durchgang zu entwerfen. Der Design-Erfolg war nicht zuletzt der Tatsache zu verdanken, dass der gesamte Entwicklungsprozess mithilfe leistungsfähiger Schaltungsdesign-Software innerhalb einer einzigen, integrierten Entwicklungsumgebung, NI AWR Design Environment Microwave Office, durchgeführt wurde.

Die komplette Entwicklung des Ultra-Breitband-HF-Empfängers – vom Start bis zum fertigen Prototypen (siehe Bild 1) –

**Bild 1**



wicklungsziele für den Ultra-Breitband-Empfänger waren u. a. eine Empfindlichkeit von  $-92$  dBm bei einer Pulsbandbreite von  $>1$  GHz.

## Antenne

Der Ultra-Breitband-Empfänger enthält eine Antenne, die bereits zuvor von Cover Sistemi für UWB-Radargeräte entwickelt worden war. Die Antenne verwendet einen unkonventionellen elliptischen Strahler mit einem nicht damit verbundenen Reflektor zur Verbesserung des Antennengewinns. Bild 2 zeigt die Antenne und deren Richtcharakteristik. Bild 3 zeigt den Eingangsreflexionsfaktor ( $S_{11}$ ) über den vorgesehenen Arbeitsfrequenzbereich.

## Empfängerarchitektur

Der Empfänger basiert auf einer I/Q-Direktwandler-Architektur mit analytischer Basisband-Signalextraktion. Er besteht aus den folgenden Funktionsblöcken: Antenne, Eingangsbandpassfilter, LNA (Low Noise Amplifier); je zwei Mischer (angesteuert mit Quadratur-LO-Signalen), Basisband-Tiefpassfilter, Verstärker und Quadra-

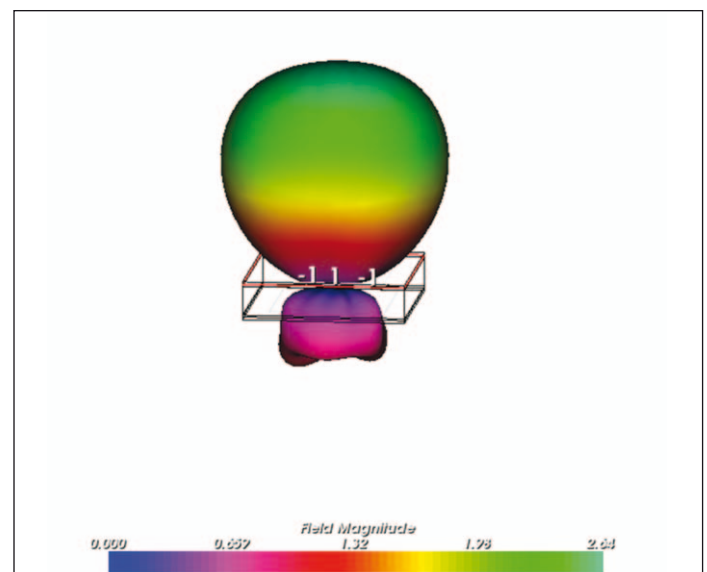
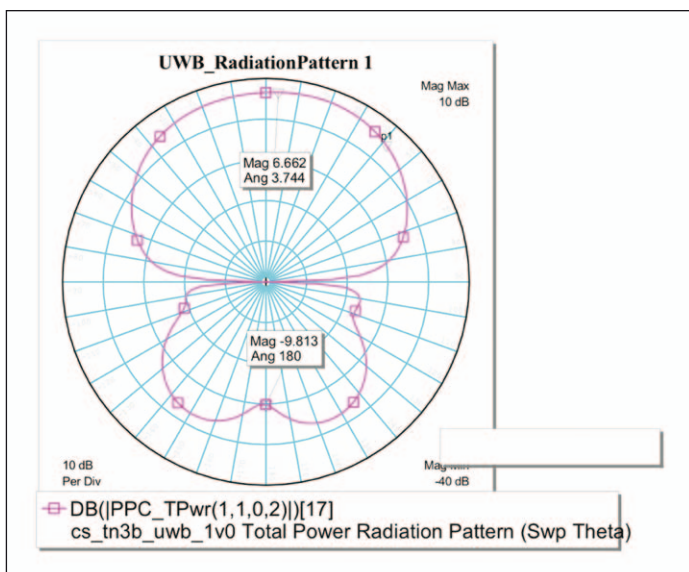
nahm insgesamt sieben Monate in Anspruch.

Im ersten Schritt wurde die High-Level-Design- und System-Performance optimiert, dann wurden nacheinander das Schaltbild,

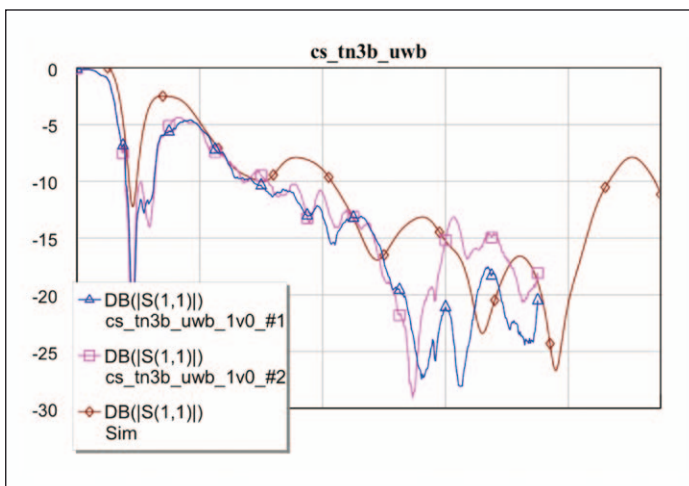
das HF-Layout und schließlich das Elektromagnetik-(EM) Design optimiert.

Das Layout wurde auf einer Leiterplatte mit sechs Metallisierungsebenen realisiert. Ent-

Alessio Cacciatori  
Entwicklungsingenieur  
Cover Sistemi Srl  
www.ni.com



**Bild 2. UWB-Antenne und deren Richtcharakteristik.**



**Bild 3: Eingangsreflexionsfaktor ( $S_{11}$ ) der Antenne über den UWB-Frequenzbereich.**

turdetektoren; ausgangsseitiger A/D-Wandler mit nachgeschalteter digitaler Signalverarbeitung.

### Low Noise Amplifier

Das LNA-Design einschließlich Bias-Tee zur DC-Stromversorgung der aktiven Bauteile wurde mithilfe des AXIEM 3D Planar EM Simulators entwickelt. Der Verstärkerkern und das HF-Filter wurden

co-designed, mit dem Ziel, in einem einzigen Durchgang die geforderten Werte für Außenband-Unterdrückung, Verstärkung und Rauschzahl zu erreichen. Bild 4 zeigt das Nichtlinear-Verhalten des LNA bei

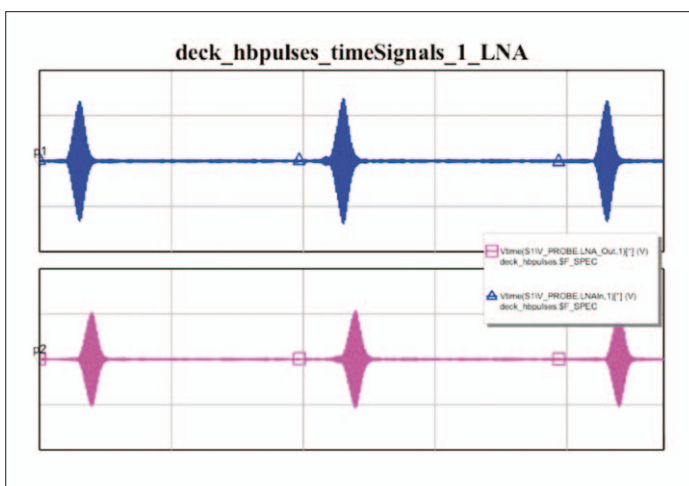
Ansteuerung mit realen Signaldaten aus Messungen.

### Mischer

Zur I/Q-Abwärtsmischung wird ein handelsüblicher Breitbandmischer verwendet. Verteilte Eingangsfilter verleihen dieser Stufe die gewünschten Eigenschaften. Bild 5 zeigt eine EM-Simulation (AXIEM) des I/Q-Abwärtsmischers.

### Simulation / Validierung der gesamten Signalkette

Die komplette Signalkette wurde auf der Post-Layout-Ebene simuliert, wobei für jeden Block das entsprechende AXIEM-Modell verwendet wurde (hierarchische



**Bild 4: Nichtlinear-Verhalten des LNA bei Ansteuerung mit realen Signaldaten.**

Extraktion). Die Simulation erfolgte in zwei verschiedenen Domänen (RF/ZIF, HF/Null-ZF) mit einer sehr großen Anzahl von Harmonischen – was bei der Simulation von UWB-Signalen unabdingbar ist. Der komplette Empfänger bis hin zum A/D-Wandler wurde außerdem mittels Multi-Rate Harmonic Balance (MRHB) simuliert. Für diese MRHB-Simulationen wurden reale Signaldaten aus Messungen an Sendern importiert. Bild 6 zeigt die Ergebnisse der Evaluierung des Nichtlinear-Signal/Rauschabstands (SNR, Signal-to-Noise Ratio) über der Eingangsleistung.

### Formale Prüfung, Freigabe und Produktionsphase

Die komplette Leiterplatte (sechs Metallisierungsebenen) wurde in Microwave Office entwickelt – der gesamte Design- und Simulationsablauf stützte sich auf Tools aus der NI AWR Design Environment. Die sich anschließende Produktionsvorbereitung umfasste die folgenden Schritte:

#### Design Rule Check (DRC):

Werden die Design-Richtlinien des Leiterplattenherstellers eingehalten?

#### Layout vs. Schematic (LVS):

Ist das Layout mit dem Schaltbild konsistent?

#### Erzeugung der Produktionsdaten:

- Gerber
- Validierungsdaten für die Freigabe von Produktionsschritten durch den Kunden
- Materialliste (BOM, Bill of Materials)
- Bestückungsplan (Pick & place)

Es wurde in Betracht gezogen, für die Leiterplattenfertigung das Schaltbild und das Layout noch einmal mit einem anderen EDA-Tool zu überarbeiten. Dieser zusätzliche Arbeitsschritt wäre jedoch zeitaufwändig gewesen. Unter Umständen fallen dabei auch zusätzliche Lizenzierungs-

kosten an, falls das betreffende Tool nicht bereits vorhanden ist. Außerdem können sich beim Export/Import der Layout-Daten zwischen den Tools Fehler einschleichen.

**Der DRC** war schnell erledigt. Es mussten lediglich Layout-Regeln auf der Basis der vom Leiterplattenhersteller vorgegebenen Spezifikationen für folgende Eigenschaften definiert werden:

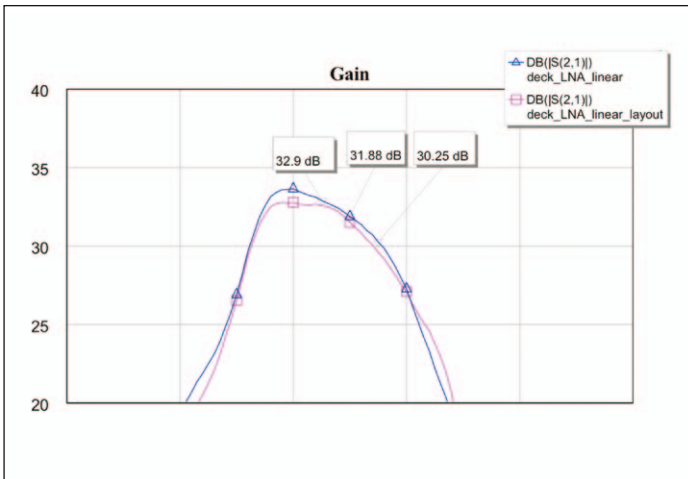
- Minimale Leiterbahnbreite / minimaler Leiterbahnabstand
- Höhe/Durchmesser-Verhältnis und Bedeckung von Durchkontaktierungen
- Mindestabmessungen von Lötmasken-Aussparungen im Bereich von Leiterbahnen
- Lotpaste

**Layout vs. Schematic** – Die LVS-Analyse stellte sicher, dass alle Layer angeschlossen und korrekt über Durchkontaktierungen miteinander verbunden waren und dass die Lötmasken für die Ober- und Unterseite der Leiterplatte die nötigen Aussparungen für die Bauteilanschlüsse aufwiesen.

**Produktions-Files: Gerber/ Drill** – Gerber- und Excellon Drill-Files wurden extrahiert und dem Leiterplattenhersteller zur Produktion übergeben.

**Materialliste / Bestückungsplan (Pick & Place)** – Bei einer kleinen Leiterplatte mit nur wenigen Bauteilen könnte man die Materialliste und den Bestückungsplan leicht von Hand erstellen. In diesem Fall handelte es sich jedoch um eine Leiterplatte mit über 500 Bauteilen. Das Layout an ein anderes, auf diese Aufgaben spezialisiertes Tool zu exportieren, ist mit dem Risiko von Inkompatibilitäten zwischen den Dateiformaten behaftet. Die Materialliste und der Bestückungsplan wurden deshalb mithilfe eines selbst geschriebenen Microwave-Office-Scripts erstellt. Die Pick-and-place-Ausgabedatei enthielt folgende Daten:

- RefDes (eindeutige Produkt-ID)

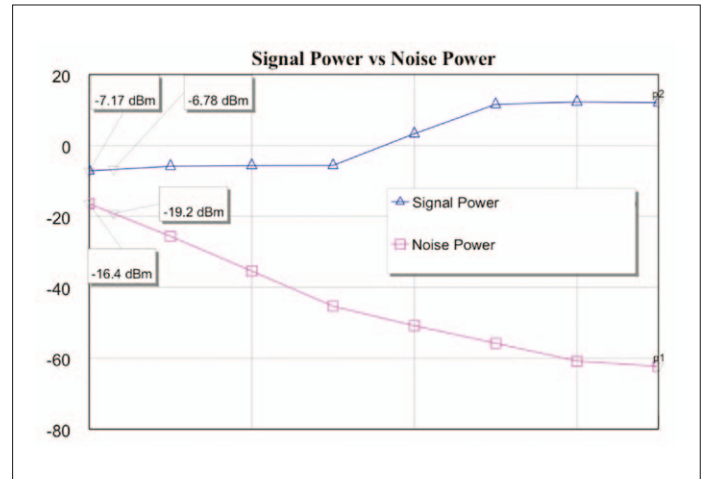


**Bild 5: Verstärkungsfrequenzgang der EM-Simulation des kompletten Layouts im Vergleich zur Schaltungssimulation.**

- Bauteil-ID (von AWR Vendor Libraries) für Materialbeschaffung
- Bibliothek
- X-Koordinate relativ zum Leiterplattenursprung
- Y-Koordinate relativ zum Leiterplattenursprung
- Rotation (Grad)
- Montageebene

## Zusammenfassung

Die vorliegende Fallstudie beschreibt die Entwicklung eines kompletten Ultra-Breitband-HF-Empfängers – von der Antenne bis zum A/D-Wandler-Eingang – innerhalb der Entwicklungsumgebung NI AWR Design Environment. Für alle Phasen, vom Schaltungsentwurf über Layout, EM-Simulation (AXIEM) und



**Bild 6: Ergebnisse der Nichtlinear-Evaluierung des SNR über der Eingangsleistung.**

Harmonic-Balance-Simulation bis zum Leiterplatten-Design wurden ausschließlich Tools aus der AWR Design Environment verwendet. Die Entwicklungsumgebung stellt keine Tools für die Erstellung von Materiallisten und Pick-and-place-Spezifikationen bereit. Mithilfe des Scripting-Tools von Microwave Office konnten jedoch

auch diese Aufgaben schnell und einfach erledigt werden, ohne die Entwicklungsumgebung zu verlassen. Die Durchführung des gesamten Entwicklungsprozesses auf einer einzigen, integrierten Design-Plattform, äußerster Sorgfalt beim Design und ein minutiöses Leiterplattenlayout führten zu einem auf Anhieb fehlerfreien Prototypen.