

# Erhöhte Empfängerempfindlichkeit mit JESD204B ADCs und Low- Power-SiGe-Verstärkerblöcken

In modernen Kommunikationssystemen kann der Empfänger umso empfindlicher sein, je rauschärmer der Eingang ist. Dieser Teil des Systems ist sehr empfindlich gegen Rauschen, das von anderen Quellen eingekoppelt wird. Diese Quellen können ein FPGA, die Stromversorgung oder digitale Signale des ADC selbst sein. Bei der Entwicklung einer kompakten Lösung können Barrieren zwischen Rauschquelle und analogem Eingang errichtet werden, um eingekoppeltes Rauschen am Eingang zu reduzieren.

Damit kann die Empfindlichkeit des Systems verbessert werden. Mit leistungsstarken Verstärkern, die 4 W aufnehmen, ist allerdings eine kompakte Lösung kaum möglich. Zur Verbesserung der Rauschleistung eines Systems werden rauscharme Verstärker mit hoher Linearität zur Ansteuerung eines rauscharmen ADC erforderlich, um die gewünschte Empfindlichkeit zu erzielen. Verschiedene Fortschritte beim ADC-Design, wie der neue JESD204B-Standard, helfen den Entwicklern die Herausforderungen zu meistern, die früher die Empfängerempfindlichkeit begrenzt haben. Diese und neue Low-Power-Verstärker haben die Systemrauschleistung wesentlich verbessert.

## Herausforderungen beim Verstärker-Design

Traditionell verwenden HF-Applikationen Gallium-Arsenid- (GaAs) oder Indium-Phosphid- (InP) Verstärkerblöcke, um geringes Rauschen und hohe Linearität zu erhalten. Diese Blöcke arbeiten an 9 - 12 V, was zu einem Leistungsverbrauch von 2

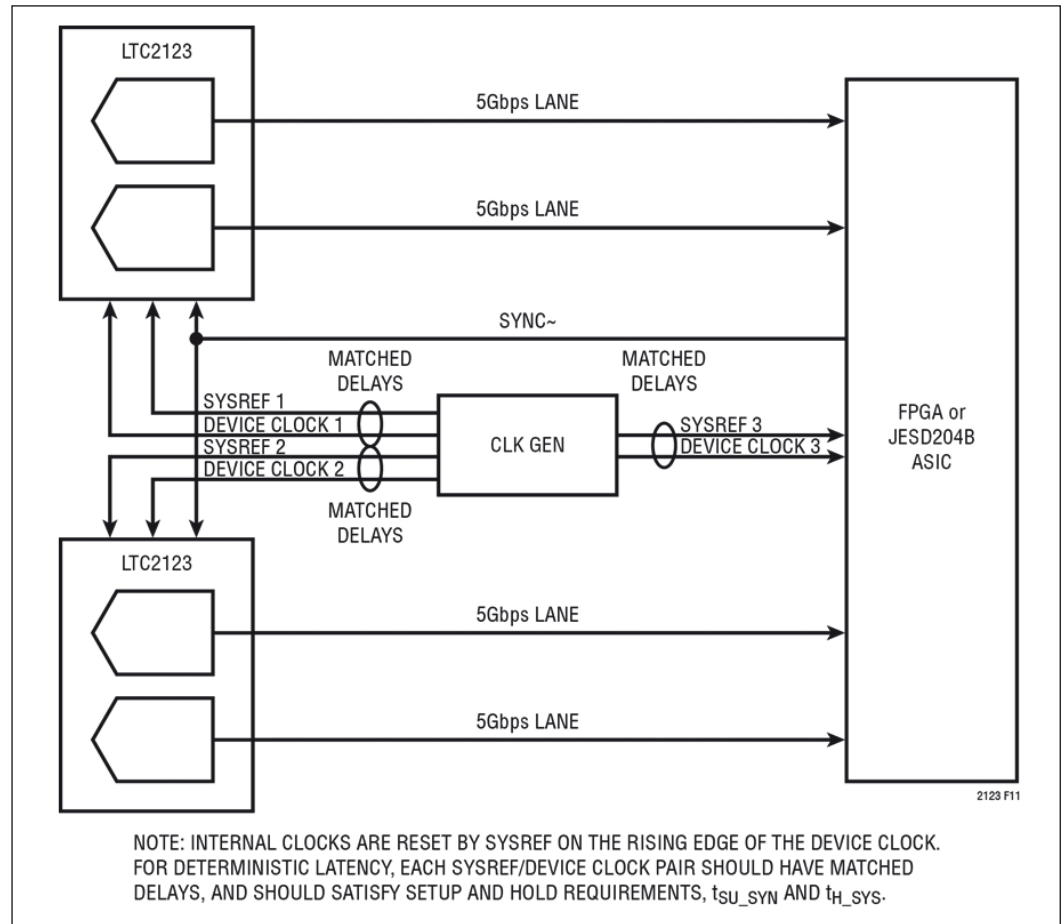


Bild 1: SYSREF-Signal synchronisiert zwei LTC2123

- 4 W pro Empfangskanal führt. Damit wird das Wärmemanagement des Empfängerboards zum Problem. Wird es nicht berücksichtigt, verschlechtert sich die Empfangsleistung. In batteriebetriebenen oder Niederspannungsapplikationen sind herkömmliche Verstärkerblöcke wegen der hohen Leistungsaufnahme zusätzlich ein Problem.

Einige Verstärkerblöcke erfordern Anpassungsschaltungen an Ein- und Ausgang, die aber den gewünschten Frequenzbereich verändern. Das verringert die Gesamtbandbreite, die ein Empfänger aufnehmen kann und verlängert die Entwicklungszeit, um das Eingangsnetzwerk anzupassen. Zusätzlich ist die Mehrheit dieser Verstärkerblöcke unsymmetrisch. In jedem System führt

das zu geraden Harmonischen, die für gute Linearität herausgefiltert werden müssen. In vielen Situationen sind die Harmonischenprodukte zweiter Ordnung nahe an den Grenzen des Passbandes, wo die Dämpfung der Filter gering ist. Da die harmonischen Störungen zweiter Ordnung nicht gedämpft werden, wird die Empfindlichkeit des Empfängers reduziert. Bei Einsatz eines differentiellen Verstärkerblockes kann man ein symmetrisches Netzwerk entwickeln und Harmonische zweiter Ordnung spielen keine Rolle mehr.

## Verstärkerlösungen

Um die Leistungsaufnahme eines GaAs-Verstärkerblocks bei gleichbleibender Linearität

zu verringern, ist ein anderer Fertigungsprozess erforderlich. Der LTC6430 ist ein differentieller Verstärkerblock, der in einem Low-Power-Silizium-Germanium (SiGe)-Prozess hergestellt wird. Er liefert die Linearität und Rauschleistung von High-Power-Verstärkerblöcken, nimmt aber nur einen geringen Teil von deren Leistung auf. Der LTC6430 arbeitet mit 5 Volt und zieht nur 160 mA Strom, reduziert somit die Leistungsaufnahme auf weniger als 1 W. Das ermöglicht den Betrieb des LTC6430 in Low-Power-, batteriebetriebenen Applikationen und in thermisch empfindlichen Applikationen, wo traditionelle Verstärkerblöcke wegen der großen Wärmezeugung nicht eingesetzt werden können.

Clarence Mayott  
Applications Engineer  
Mixed Signal Products  
Linear Technology Corp.  
www.linear.com

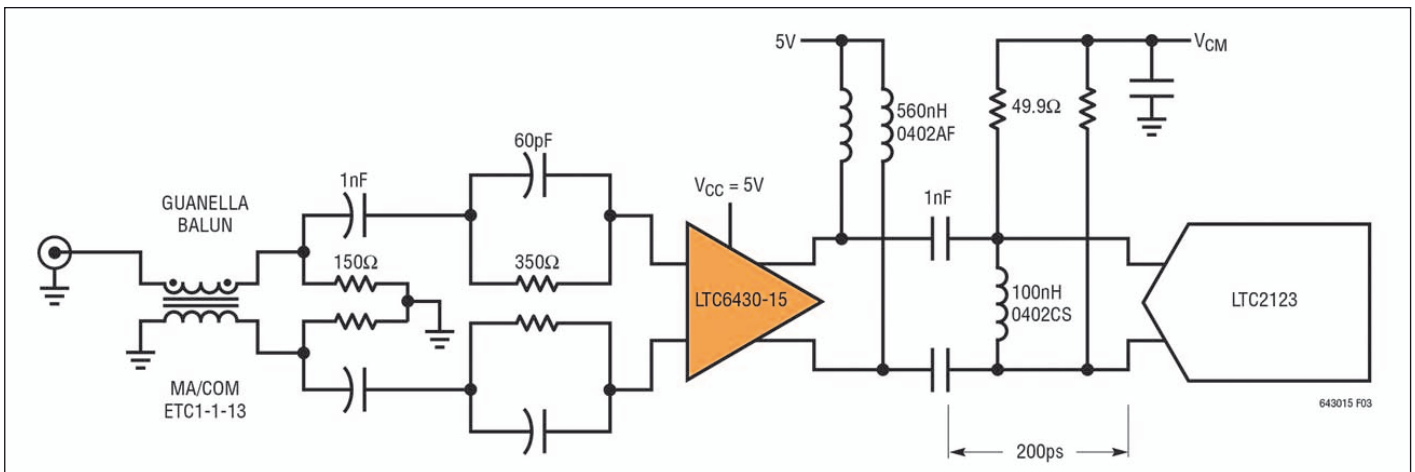


Bild 2: Zusammenschaltung von LTC6430 und LTC2123

Der LTC6430 ist ohne Anpassungsnetzwerk bedingungslos stabil. Alles was man braucht sind ein DC-Abblock-Kondensator und HF-Bias-Drosseln. So kann der LTC6430 in einer Schaltung Frequenzen von 25 MHz bis 1600 MHz empfangen. Die Designzeit für das Eingangsnetzwerk wird reduziert, und man kann sich länger anderen kritischen Teilen des Systems widmen. Durch die einfache Anpassungsschaltung des LTC6430 wird auch die Bauteileanzahl verringert, und die Komplexität des Netzwerks zwischen ADC und Verstärker lässt so mehr Raum auf der Platine für Barrieren und Vias zur Systemverbesserung.

Der LTC6430 ist ein differentieller Verstärker, der prinzipbedingt geradzählige Harmonische unterdrückt. Seine symmetrische Auslegung unterdrückt gerade Harmonische und verbessert die Gesamtlinearität des Systems. Auch muss dem Ausgangsfilter zwischen Verstärker und dem ADC nicht mehr viel Aufmerksamkeit gewidmet werden. Ein einfaches Symmetriernetzwerk zwischen ADC und Verstärker ergibt die besten Ergebnisse und lässt Raum für Barrieren und Vias um Beeinflussung von ADC und Verstärker zu reduzieren. Durch geringeren Aufwand für die Filterung benötigt das Netzwerk weniger Komponenten und vereinfacht den ADC-Anschluss. Da der LTC6430 ein differentielles Ausgangsnetz-

werk hat, kann er ohne Balun differentielle ADCs treiben, was wiederum am ADC ein einfaches Eingangsnetzwerk ermöglicht. Durch weniger Komponenten zwischen ADC und Verstärker wird insgesamt das Layout vereinfacht. Ein Symmetriernetzwerk kann auch verwendet werden, um die Leistung des ADC zu maximieren.

### Anforderungen an den ADC

Rauschen in Empfängern bezieht sich nicht nur auf die Verstärker und das Kanalaruschen. Rauschen von unerwünschten Quellen auf dem Board kann auch in das ADC-Eingangsnetzwerk gelangen, und wird dann vom ADC digitalisiert. Die Höhe dieser Rauschquellen kann man durch ein gutes Layout begrenzen, aber nicht ganz beseitigen. Eine potentielle Rauschquelle im System schließt die digitalen Ausgänge des ADC selbst ein. Mit großen Spannungshüben und hohen HF-Anteilen können die digitalen Ausgangssignale in die analogen Eingänge gelangen, werden redigitalisiert und erzeugen so eine digitale Rückkopplung. Die kann mit Spitzen von bis zu 20 dB zum Rauschboden beitragen. Unsymmetrische CMOS-Signale erzeugen die größte digitale Rückkopplung, da je höher der Spannungshub ist, umso größer ist die digitale Rückkopplung.

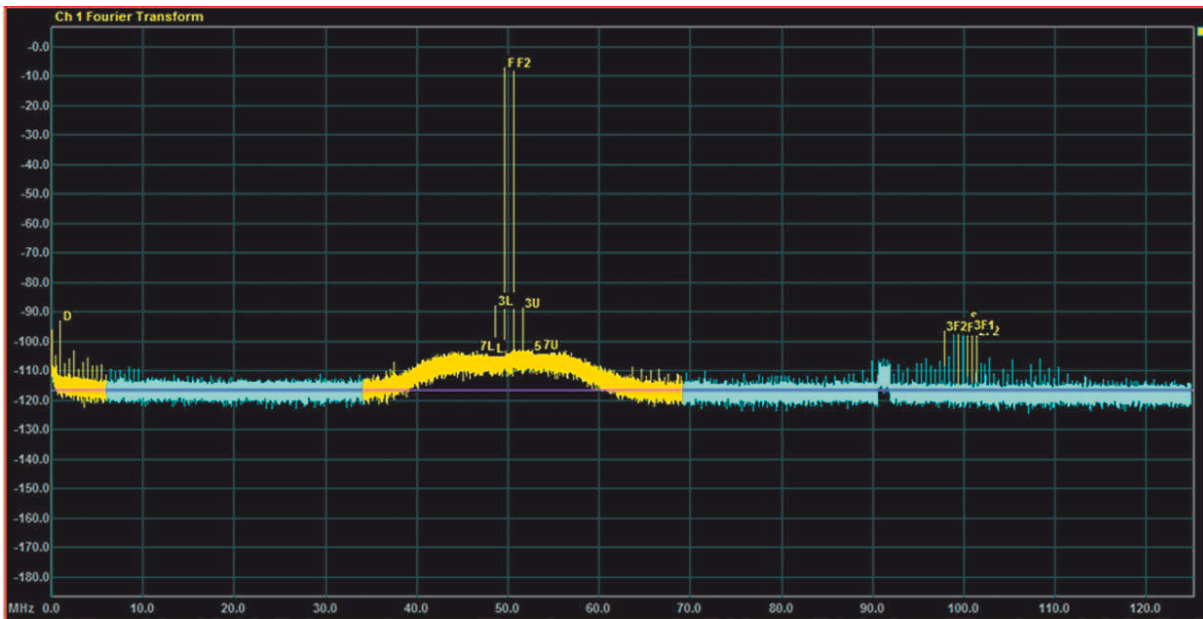
Digitale Leitungen sind aber ein weiteres Problem wegen ihres Platzbedarfs. Ein Board mit Vielkanal-ADCs und deren unzähligen Leitungen benötigt viel Platz. Die digitalen Busse sind eine Plage, speziell wenn sie nahe an empfindlichen Schaltungen wie Referenzen, Takten oder Eingangsnetzwerken vorbeiführen. Je näher diese digitalen Busse an empfindlichen Schaltungen sind, umso höher ist die Gefahr, dass digitales Rauschen die Systemleistung verschlechtert. Leiterbahnen für CMOS- und LVDS-Signale unterliegen einer weiteren Einschränkung: sie sind nicht DC-symmetrisch, d.h. es liegt kein durchschnittlicher DC-Spannungswert vor. Man kann CMOS- und LVDS-Signale nicht durch Isolationsbarrieren wie Transformatoren, Opto-Koppler, DC-Abblockkondensatoren oder Hochpassbauteile übertragen.

In modernen Kommunikationssystemen werden Antennenarrays für Raum-Diversity in Empfängern verwendet. Das verbessert den Empfang speziell von schwachen Signalen und Fading-Signalen. Jedoch benötigt jede zusätzliche Antenne im Array einen kompletten Empfangszug. Steigt die Zahl der Antennen, ergibt sich eine zunehmende Zahl an ADC-Kanälen. Diese ADCs müssen für maximale Leistung synchronisiert werden, was nicht einfach ist. Eine Variation des Taktes führt zu falscher Signalinterpretation

und verschlechtert die Systemleistung. Selbst mit den besten Taktgebern gibt es einen Versatz zwischen den einzelnen Taktleitungen, was zu einem Versatz der digitalen Daten führt, der nur schwierig zu beseitigen ist, sogar in der digitalen Domäne.

### ADC-Lösungen

Das Rauschen kann durch die Reduzierung der Zahl der Datenleitungen und die Verwendung von digitaler Signalisierung stark reduziert werden. Das in die Masselage des Boards injizierte Rauschen wird deutlich verringert werden. Der JESD204B-Standard nutzt Paare von CML-Datenleitungen (Current Mode Logik) für die Übertragung sehr schneller serieller Daten. Abhängig von der Abtastrate wird wenigstens ein Leitungspaar benötigt. Diese Übertragungsleitungspaare sind differentiell, deshalb ergibt sich eine Feldauslöschung, welche den Effekt der Rauscheinkopplung in die Masselage reduziert. Da die Datenübertragung seriell und 8B/10B-dekodiert erfolgt, gibt es keine sich wiederholenden Muster in den Daten, die Frequenzanteile in der Masselage erzeugen, die möglicherweise am Analogeneingang erscheinen. Das reduziert die Möglichkeit der digitalen Rückkopplung im System erheblich. Mit weniger Rauschen und weniger Frequenzanteilen in der Masselage gibt es weniger Energie, die zu den analogen



**Bild 3:**  
Zweiton-Test an  
LTC2123 und  
LTC6430:  
250 Msps  
F1=199,3 MHz  
F2=200,3 MHz

Eingängen gelangen kann, was die Möglichkeit der digitalen Rückkopplung weiter reduziert.

Durch die Übertragung mittels serieller Datenleitungspaare wird das Routen der Bahnen vereinfacht, verglichen zum Routen von parallelen Bussen. Da nur ein oder zwei Leitungspaare verwendet werden, kann man einfacher einen Pfad finden, der nicht von unerwünschten Signalen umgeben ist. Diese Übertragungsleitungen können empfindliche Teile auf dem Board umgehen. Durch einen kleineren Routingbereich sind auch mehr Vias um die Übertragungsleitungen möglich, was die Möglichkeit verringert, dass Rauschen in die digitalen Leitungen gelangt oder das Rauschen von den digitalen Leitungen in andere empfindliche Schaltungsteile einwirkt.

Ein weiterer Vorteil der 8B/10B-Codierung ist, dass sie DC-symmetrisch ist. Da ein Bit-Verhältnis eingesetzt wird, bei dem eine gleiche Anzahl von Einsen und Nullen über zwei sich abwechselnden Codegruppen verwendet wird, ergibt sich ein DC-Durchschnitt des Signals, der statistisch Null ist. Das ermöglicht jetzt Übertragung mit einem Leitungspaar über Transformatoren, Opto-Koppler, DC-Abblockkondensatoren oder Hochpassbauteile. Durch DC-Kopplung können Signale über die Isolati-

onsbarriere mittels Transformatoren oder Optokoppler übertragen werden. Die Masselage ist jetzt von der Isolationsbarriere isoliert. Das ermöglicht die elektrische Isolierung empfindlicher Empfängersektionen von rauschenden FPGA-Bereichen, was die Empfängerempfindlichkeit durch Rauschreduktion erhöht. Das wiederum ermöglicht eine nähere Platzierung der Empfängersektion an der Antenne und auch die optische Übertragung, um den FPGA-Bereich weiter entfernt zu platzieren, was eingekoppeltes Rauschen vom FPGA in den Empfänger verringert.

Ein großer Vorteil des JESD204B-Standard ist die Möglichkeit der Synchronisation mehrerer ADCs zur simultanen Abtastung. Das erfolgt mittels Taktmanagement, welches ein SYSREF-Signal an jeden ADC und den FPGA leitet wie in Bild 1 gezeigt. Bei gültigem SYSREF-Signal an den ADCs gleicht sich der FPGA selbst auf das SYSREF-Signal ab, und die Daten von jedem der ADCs sind mit dem FPGA synchronisiert.

Das ermöglicht simultanes Sampling der ADC-Kanäle der verschiedenen ADCs. Diese Technik gleicht ADC-Daten und Abtasttakt ab und macht so die Synchronisierung einfacher. Mit synchronisierten ADCs wird der Empfang von Daten von meh-

rerer Antennen trivial, und das Design empfindlicher Empfänger vereinfacht.

## Eine praktische Lösung

Der LTC2123 ist ein 250 Msps 14-bit Doppel-ADC mit JESD204B-Interface. Er hat eine Eingangsbandbreite von 1250 MHz und ermöglicht, zusammen mit dem LTC6430, einen sehr guten Unterabstastempfänger für den Empfang bis über 1 GHz. Durch die Ausgangsauslegung nach JESD204B vereinfacht der LTC2123 das Boardlayout, reduziert das in die Masselage eingekoppelte Rauschen und ermöglicht eine Isolation des Empfängers von den digitalen Teilen des Systems. Mit dem JESD204B-Interface ist auch die Synchronisation von mehreren ADCs möglich, was größere Antennenarrays für Antennendiversity-Applikationen zulässt. Da die Rauschzahl des LTC6430 3 dB ist, kann das Interface zwischen ADC und Verstärker einfacher ausfallen.

Bild 2 zeigt eine typische Schaltung mit LTC6430 und LTC2123. ADC und Verstärkersektion sind kompakt und ermöglichen so größere Barrieren um das Eingangnetzwerk zur weiteren Reduzierung des eingekoppelten Rauschens in das Netzwerk, was Bild 3 zeigt. Bei 250 Msps mit Signalen bei 199,3 MHz und 200,3 MHz sind die Mischpro-

dukte 3. Ordnung bei 87 dBFS und das SNR beträgt 68 dBFS. Diese Leistung wird über viele Empfangskanäle auf kleinstem Platz erzielt, dies wegen der JESD204B-Schnittstelle und der geringen Leistungsaufnahme von LTC2123 und LTC6430.

## Schlussbemerkung

Die Kombination von LTC2123 ADC und LTC6430 Verstärker ermöglicht das Design eines kompakten Empfängers mit maximaler Empfindlichkeit. Durch Reduzierung der Leistungsaufnahme und der Zahl der digitalen Leitungen wird die Gesamtgröße verringert, und es können um die empfindlichen Schalteile des Eingangnetzwerks Barrieren errichtet werden.

Der JESD204B-Standard, den der LTC2123 verwendet, reduziert die Rauschinjektion in die Masselage durch Verwendung weniger Übertragungspaare und der Niederspannungs-CML-Signalisierung. Auch können mehrere ADCs einfach synchronisiert werden, was große Antennenarrays für Antennendiversity ermöglicht. Ein System mit LTC2123 und LTC6430 ist rauscharm, hochlinear, verbraucht wenig Leistung und benötigt wenig Platz und ist damit die ideale Lösung für moderne Kommunikationsempfänger. ◀