Software-programmierbare digitale Vorverzerrung in der drahtlosen Kommunikations-Infrastruktur

Die Betreiber von drahtlosen Kommunikationsnetzwerken benötigen signifikante Kosteneinsparungen bei ihrem Bestreben, die Netzwerkkapazität durch den Einsatz neuer Luftschnittstellen, neuer Übertragungsfrequenzen, höherer Bandbreite, steigender Antennenanzahl und einer höheren Anzahl an Zellen zu erweitern.

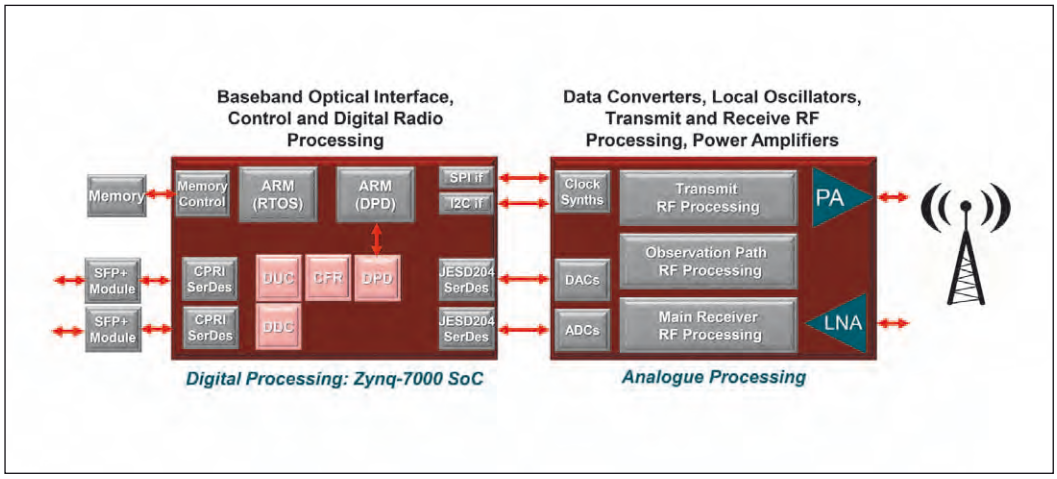

Bild 1: Eine typische Funkkommunikationsarchitektur, bei der alle digitalen Funktionen in einem einzigen Baustein kombiniert sind.

Darüber hinaus benötigen diese Betreiber einen gesteigerten Wirkungsgrad des Equipments und eine höhere Integrationsdichte des Netzwerks, um die Betriebskosten zu senken.

Um Ausrüstungen anzubieten, die diese gegensätzlichen Anforderungen erfüllen, suchen die Hersteller von Equipment für die drahtlose Kommunikation nach Lösungen, die eine höhere Integrationsdichte mit höherer Leistung und erhöhter Flexibilität liefern und gleichzeitig geringeren Leistungsverbrauch und niedrigere Kosten aufweisen. Zusätzlich müssen die Equipment-Lieferanten diese Designziele bei verkürzten Markteinführungszeiten erreichen. Der Schlüssel zur Senkung der Ausrüstungskosten insgesamt liegt in der Integration, ist aber auch abhängig von den fortschrittlichen digitalen Algorithmen, die den Wirkungsgrad der Leistungsverstärker erhöhen, um damit die Betriebskosten zu senken.

Einer dieser Algorithmen, der allgemein Verwendung findet,

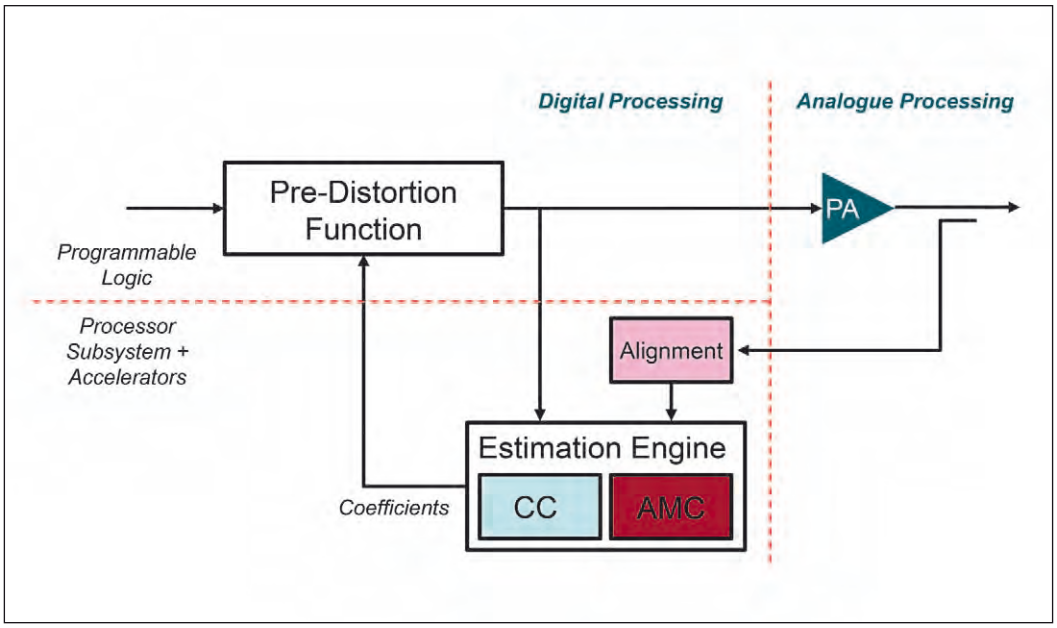

Bild 2: Digitale Vorverzerrung in ihre Teilfunktionen zerlegt

Von David Hawke, Director Wireless Product Marketing, Xilinx
www.xilinx.com

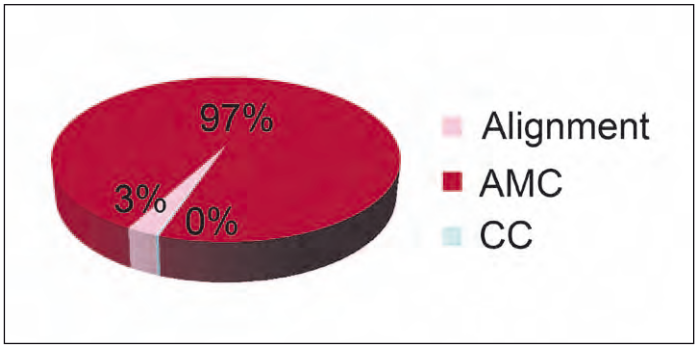

Bild 3: Software-Profilierung von erkannten Softwareaufgaben als Teil der DPD-Verarbeitung.

ist die digitale Vorverzerrung (DPD = Digital-Pre-Distortion). Es ist jedoch eine große Herausforderung, den Wirkungsgrad der Ausrüstung zu erhöhen, da die Konfigurationen des Equipments immer komplexer werden. Die Bandbreiten der Funkübertragung überschreiten mit LTE-Advanced die 100-MHz-Grenze und steigen immer weiter, da die Anbieter versuchen, mehrere Luftschnittstellen, die in einer nicht benachbarten Konfiguration vorliegen, zu kombinieren. Aktive Antennenarrays (AAA) und MIMO-fähige (multiple input multiple output) abgesetzte Funkeinheiten (RRU = remote radio unit) erhöhen den Druck weiter, die für diese Algorithmen erforderlichen Bandbreiten zu berechnen.

In diesem Artikel wird untersucht, wie der All-Programmable-SoC (AP SoC) Zynq-7000 eingesetzt werden kann, um die Leistungsfähigkeit von aktuellen und künftigen DPD-Systemen zu steigern und dabei den Ausrüstungslieferanten die volle Programmierbarkeit, geringe Kosten und Leistungsverbrauch zusammen mit der schnellstmöglichen Markteinführung zur Verfügung stellt.

Implementierung der drahtlosen Funkkommunikation

Dieses AP-SoC vereint in sich eine Hochleistungs-PL-Fabric (PL = programmable logic), die serielle Transceiver (SERDES) und DSP-Funktionsblöcke enthält, die sehr eng mit dem fest verdrahteten Prozessor-Subsystem (PS) verbunden sind. Das PS besteht aus einer Dual-Core-ARM-Cortex-A9, Fließkomma-Berechnungseinheit (FPU = floating point unit) und dem Medienbeschleuniger NEON, gekoppelt mit einem umfassenden Satz an Peripherie wie UARTs, SPI, I²C, Ethernet und Speicherkontroller, die für einen vollständigen Betrieb und Steuerung der Funkkommunikation nötig sind.

Extrem hohe Bandbreiten

Anders als externe universelle Prozessoren oder DSPs erlaubt die Schnittstelle zwischen der PL und dem PS extrem hohe Bandbreiten auf einer großen Anzahl von Verbindungen, die mit einer diskreten Lösung nicht praktikabel wären. Mit einem solchen Array an Hard- und Software kann dieser Baustein sämtliche erforderlichen RRU-Funktionen in einem einzigen Chip implementieren, wie in Bild 1 dargestellt.

Die reichlichen DSP-Ressourcen in der PL werden genutzt, um die digitale Signalverarbeitung, wie die digitale Aufwärtswandlung (DUC = digital up conversion), digitale Abwärtswandlung (DDC = digital down conversion), Crest-Factor-Reduzierung (CFR) und DPD zu implementieren. Zusätzlich können die SERDES bis zu 9,8 Gbit/s CPRI und 12,5 Gbit/s JESD204B unterstützen, was benötigt wird, um sich mit dem Basisband respektive den Datenwandlern verbinden zu können. Das PS unterstützt sowohl SMP (symmetric multi processing) als auch AMP (asymmetric multi processing). In diesem Fall wird angenommen, dass der AMP-Modus eingesetzt wird, bei dem einer der ARM-A9-Prozessoren die Steuerfunktionen auf Boardebene übernimmt, wie Message-Termination, Scheduling, Kalibrierung und Alarme, die entweder ohne, oder wahrscheinlicher auf einem Betriebssystem wie Linux laufen. Während der andere Core verwendet wird, um Teile der gewünschten DPD-Algorithmen zu implementieren, da nicht alle Teile dieser Algorithmen eine vollständige Hardwarelösung benötigen.

Erhöhter Wirkungsgrad

DPD verbessert den Wirkungsgrad der Leistungsverstärker, indem sie ihren linearen Bereich erweitert. Der Wirkungsgrad wird erhöht, wenn der Verstärker „härter“ getrieben wird, um die Ausgangsleistung zu verbessern, während die statische Leistung relativ konstant bleibt. Um diesen linearen Bereich zu erweitern, nutzt DPD eine analoge Rückkopplung vom Verstärker und eine signifikante Signalverarbeitung, um Koeffizienten zu berechnen, die benutzt werden, um den Kehrwert der Nichtlinearität des Verstärkers zu repräsentieren. Diese Koeffizienten werden dann verwendet, um das übertragene Signal, das den Leistungsverstärker treibt, vorab zu korrigieren, was in einem größeren linearen Bereich des Verstärkers resultiert.

Mehrere Funktionen

Der DPD-Algorithmus kann, wie in Bild 2 gezeigt, in mehrere Funktionen aufgeteilt werden. DPD bildet eine geschlossene Regelschleife in der das vorher übertragene Signal aufgenommen wird, um zu bestimmen, wie der Verstärker mit dem übertragenen Signal umgegangen ist. Die erste Aufgabe der DPD ist es, das Ausgangssignal des Verstärkers mit dem vorher übertragenen Signal abzugleichen, was in einem Abgleich-Funktionsblock durchgeführt wird. Der Speicher wird dazu benutzt, um die Daten abzugleichen, bevor irgendeine algorithmische Aufgabe ausgeführt wird. Einmal abgeglichen, können diese Daten manipuliert werden, um

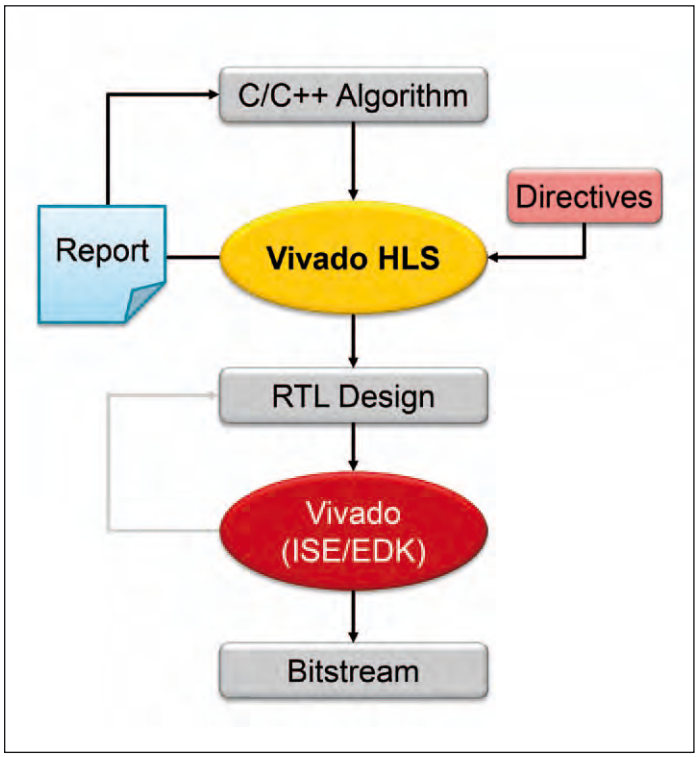

Bild 4: Designablauf mit dem Hochebenen-Synthesewerkzeug Vivado.

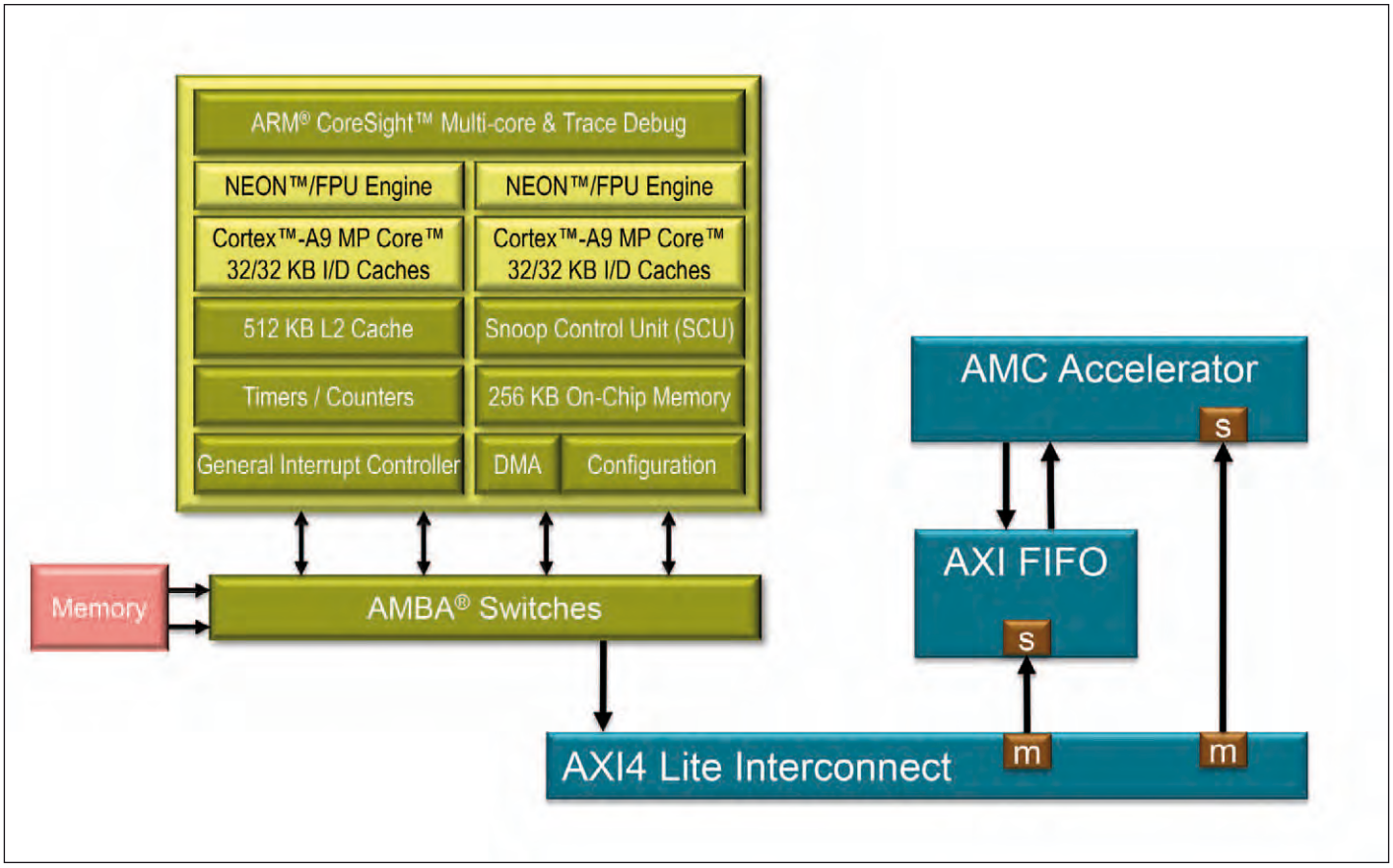

Bild 5: Integrieren des auf programmierbarer Logik basierenden AMC-Hardwarebeschleunigungsalgorithmus mit dem Prozessorsystem

die Koeffizienten zu erzeugen, die eine hinreichende Annäherung an die inverse Nichtlinearität des PA repräsentieren. Die Algorithmen Autocorrelation-Matrix-Computation (AMC) und Coeffizient-Computation (CC) werden dafür verwendet. Sind die Koeffizienten bekannt, nutzt das Datenpfad-Vorverzerrungssystem diese Daten, um das Signal vorab zu korrigieren, das an den PA übertragen wird.

Beschleunigung der DPD-Koeffizienten-Bestimmung

Diese Funktionen können natürlich auf unterschiedlichste Art und Weise implementiert werden. Einige davon eignen sich mehr für Software, andere mehr für Hardware. Es gibt auch Funktionen, die sich sowohl für Software, als auch Hardware eignen, es ist aber die erforderliche Leistungsfähigkeit, die letztendlich die Implementierung vorschreibt. Ein PA-SoC erlaubt es den Entwicklern frei zu entscheiden, also sorgfältig zwischen Hardware und Software zu auszuwählen. Soweit der DPD-Algorithmus davon betroffen ist, wird der Datenpfad-Vorverzerrer, der mit sehr schnellen Filtern aufgebaut ist, üblicherweise in der PL implementiert, da er sehr hohe Abtastraten erfordert. Während die Abgleichs- und Bewertungs-Engine, die die DPD-Koeffizienten generiert, auf einem ARM-A9 im PS laufen kann.

Um zu bestimmen, was die Implementierung in Hardware im Gegensatz zu Software erfordert, muss die Software zunächst profiliert werden, um zu bestimmen, wo sie viel Zeit verbraucht. Bild 3 zeigt das Softwareprofil des DPD-Algorithmus für die drei in Bild 2 gefundenen Funktionen. Wie die Profilierung zeigt, benötigt der Xilinx-DPD-Algorithmus 97 Prozent der Zeit zur AMC-Verarbeitung, so dass dies eine Funktion ist, bei der eine Beschleunigung am meisten Sinn macht.

Zusätzliche Funktionen

Der ARM-A9 führt einige zusätzliche Funktionen in seinem Arsenal aus, die ebenfalls dabei helfen, die Leistungsfähigkeit für diese Art von Anwendungen zu steigern. Als Teil des PS hat beispielsweise jeder ARM-A9 eine Fließkommaeinheit und einen Medienbeschleuniger NEON. Der Neon ist ein 128-Bit-SIMD-Vektorprozessor (single instruction multiple data), der 32 x 32 Bit Multiplikationen gleichzeitig ausführen kann, was sich ideal für die Anforderungen der AMC-Funktion eignet, da diese von MAC-Befehlen (multiply accumulate) dominiert wird. Durch Verwendung des NEON-Moduls können Softwareeigenschaften verwendet werden, die die Notwendigkeit für ein Programmieren auf niedriger Ebene in Assembler eliminieren.

Durch Ausnutzen der zusätzlichen Funktionen, die im PS vorhanden sind, kann jedoch die Leistungsfähigkeit im Vergleich zu Soft-Prozessoren wie Microblaze oder extern DSPs signifikant gesteigert werden.

Um die DPD-Leistungsfähigkeit noch weiter zu steigern, kann es wünschenswert sein, diese Funktionen auf Hardware, die die PL nutzt, zu übergeben. Da die Software jedoch in C/C++ geschrieben ist, kann es ziemlich lange dauern, bis C/C++ in Hardware konvertiert ist, die unter Nutzung von VHDL oder Verilog in der PL läuft.

Dieses Problem ist nun mit der Verfügbarkeit von Hochebenen-Synthesewerkzeugen (HLS = high level synthesis) gelöst (z.B. durch mit von C auf RTL umsetzende Tools). Diese Werkzeuge erlauben es, den in der C/C++-Programmierung erfahrenen Entwicklern die Hardware in Form von FPGAs zu generieren. Das Werkzeug Vivado HLS erlaubt es den Entwicklern und Systemarchitekten, C/C++-Code einfach in Programmierbare Logik zu mappen, was wiederum die Wiederverwendung des Codes, eine maximale Portabilität und einen

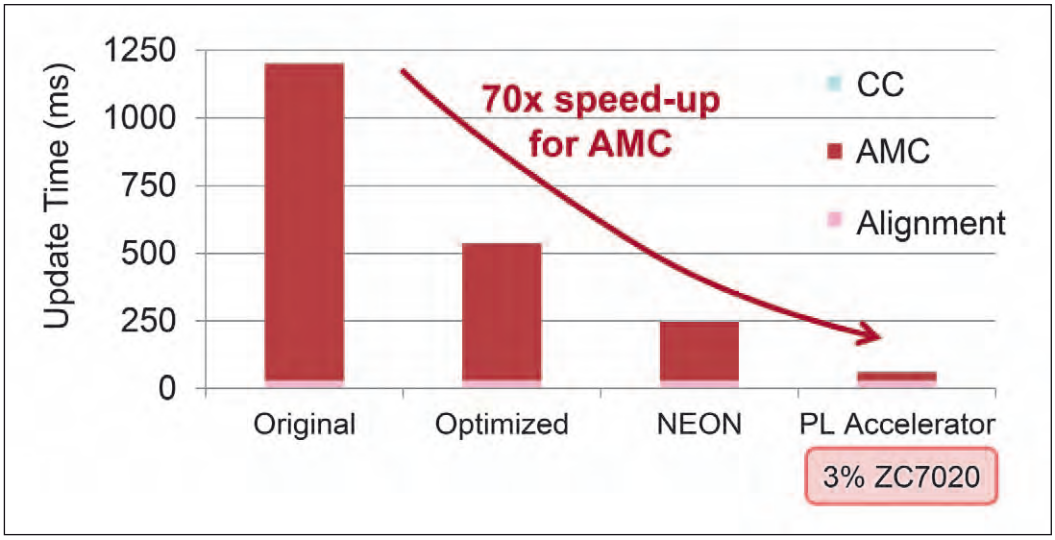

Bild 6: Vergleich der Leistungssteigerung für nur Software und Software plus Hardwarebeschleunigung

einfachen Mechanismus für die Untersuchung des Raumbedarfs des Designs bietet, was wiederum die Produktivität maximiert.

Bild 4 zeigt detailliert den C/C++-Designablauf mit dem Werkzeug Vivado-HLS. Das Ausgabeformat des Werkzeugs ist RTL, was die einfache Integration mit bestehenden Hardware-Designs erlaubt, wie den Datenpfad-Vorverzerrer oder die Upstream-Signalverarbeitung, und natürlich die Verbindung zu den Datenwandlern.

Bei Nutzung dieses Werkzeugs kann der Algorithmus schnell auf Hardware übertragen werden, wo er mit dem PS über AXI-Schnittstellen verbunden werden muss, wie in Bild 5 dargestellt.

Signifikante Auswirlungen

Das Laufen des AMC-Algorithmus mit hohen Taktraten in der PL hat signifikante Auswirkungen auf die Leistungsfähigkeit, wie in Bild 6 dargestellt, und resultiert in der 70 mal höheren Leistung für diese Funktion, im Vergleich zum Implementieren der gleichen Funktion nur in Software, und verbraucht dabei weniger als 3 Prozent der im AP-SoC verfügbaren Logik.

Auf dem Originalreferenz-C/C++-Code wurden grundlegende Verbesserungen implementiert, um effektiver auf dem ARM-A9-Prozessor abzulaufen, was in einer grundsätzlichen zwei- bis dreifachen Steigerung der Leistungsfähigkeit für nur in Software implementierte Funktionen führte, im Vergleich zu völlig unberührtem Code. Zu diesem Zeitpunkt wurde der NEON-Media-Coprozessor aktiviert, und ein zusätzlicher Leistungsvorteil festgestellt. Das Endergebnis in Bild 6 wird mit dem AMC-Algorithmus erzielt, der auf programmierbarer Logik läuft, wie in Bild 5 gezeigt, wobei eine Leistungsverbesserung von insgesamt 70fach nur für die AMC-Funktion, im Vergleich zur ursprünglichen Software, erzielt wurde.

Letztendlich definiert die Funkleistung die erforderliche DPD-Partitionierung zwischen Hard- und Software. Ein Faktor, der die Leistungsfähigkeit beeinflussen kann, könnte das Verfolgen von größeren Faktoren von spektraler Korrektur sein, um höhere Wirkungsgrade zu erlauben. Das Erzielen dieser Korrektur würde mehr Prozessorleistung benötigen, da auch die Genauigkeit, die verwendet wird, um die Nichtlinearität des Verstärkers zu repräsentieren, gesteigert wird. Weitere Faktoren können größere Übertragungsbandbreiten oder das Aufteilen der Bewertungs-Engine auf mehrere Antennen sein. Dies würde Einsparungen bezüglich Bereich (und Kosten) erlauben, indem nur ein Prozessor plus zusätzliche Hardwarebeschleuniger benutzt werden, um die Koeffizienten für viele Datenpfad-Vorverzerrer zu berechnen.

In einigen Situationen kann die Leistung der Software, die auf der ARM-A9- plus NEON-Einheit läuft, ausreichend sein um Daten zu verarbeiten wie in Konfigurationen mit schmaleren Übertragungsbandbreiten, oder Designs, die nur eine oder zwei Antennenpfade haben, was Platz und Kosten für diese Funkkonfigurationen reduziert.

Zusätzliche Parallelverarbeitung

Um die Leistung über das in Bild 6 demonstrierte Maß hinaus zu steigern, kann eine zusätzliche Parallelverarbeitung zur Implementierung der AMC-Funktion eingesetzt werden, was in schnelleren Update-Zeiten auf Kosten einer zunehmend auf Logik basierenden Implementierung resultiert. Weitere Software-Profilierungen können auch weitere Bereiche des Algorithmus anzeigen, die von einer Hardwarebescheunigung profitieren. Was immer auch die Anforderung ist, die Entwicklungswerkzeuge und Bausteine die heute existieren, ermöglichen es den Entwicklern die hohe Leistungsfähigkeit, geringen Platzbedarf und Kompromisse bezüglich der Verlustleistung, mit nur minimalen Auswirkungen auf das Streben nach höherem Wirkungsgrad zu untersuchen, ohne auf spezifische diskrete Bausteine oder Programmierarten eingeschränkt zu sein.

Zusammenfassung

Die drahtlose Kommunikationsinfrastruktur erfordert geringe Kosten und niedrige Verlustleistung sowie höchste Zuverlässigkeit. Die Integration ist der Schlüssel dafür, diese Ziele zu erreichen, aber bis jetzt war es nicht möglich, ohne dafür Flexibilität oder Markteinführungszeit zu opfern. Zusätzlich steigen die Anforderungen an die Signalverarbeitung mit Breitbandfunk und dem Streben nach immer höherem Wirkungsgrad. Mit seinem Dual-Core-Prozessor-Subsystem und verlustleistungsarmer Hochleitungslogik, ist das All-Programmable SoC Zynq-7000 die Lösung für aktuelle und künftige Anforderungen in der drahtlosen Kommunikation. Ob die Ausrüstung eine abgesetzte Funkeinheit oder ein aktives Antennenarray ist, die Entwickler können damit Produkte mit höherer Produktivität entwerfen und dabei gleichzeitig die Flexibilität und Leistungsfähigkeit gegenüber existierenden Lösungen steigern, seien es nun ASSPs oder ASICs. Die Grenzen zwischen Hard- und Software sind nun fließend, was den Entwicklern praktisch unendliche Möglichkeiten in die Hand gibt, nach fortschrittlicheren Algorithmen für eine Differenzierung ihrer Produkte zu suchen.

Weitere Informationen über das All-Programmable-SoC Zynq-7000 erhalten Sie über: http://www.xilinx.com/products/silicon-devices/soc/index.htm.

Weitere Informationen über die IP von Xilinx für DUC/DDC-, CFR- DPD- und CRPI-Lösungen finden Sie unter http://www.xilinx.com/applications/wireless-communications/index.htm. ◄