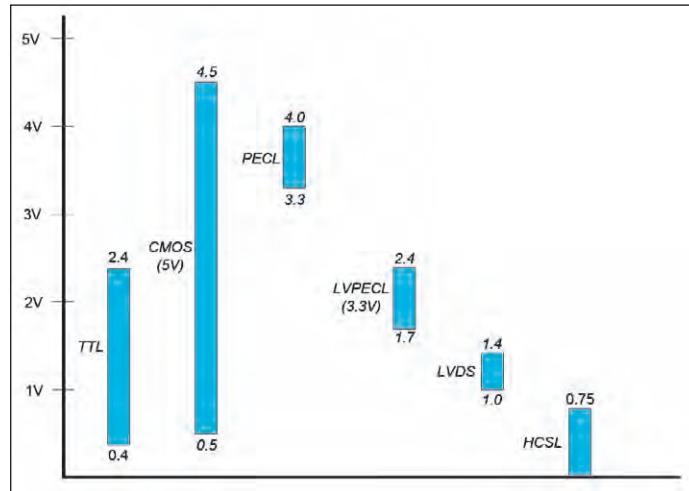


Arten von digitalen Signalen und ihre Anwendung

CMOS, HCMOS, LVCMOS, Sinewave, Clipped Sinewave, TTL, PECL, LVPECL, LVDS, CML – das sind nur die vielleicht populärsten Signalbezeichnungen, die im Zusammenhang mit Taktoszillatoren und komplexen Frequenzerzeuger-Baugruppen auftauchen. Die Signalausgabe erfolgt in verschiedenen Formaten, und jedes hat seine Vor- und Nachteile. Ziel dieses Artikels ist es, zu jedem populären Format das wichtige Hintergrundwissen zu vermitteln.



Warum müssen wir Signalarten verstehen und definieren? Eine gedruckte Leiterplatte lässt sich als Übertragungsleitung auffassen und hat damit wie ein Dämpfungsglied, Übertrager oder Filter Einfluss auf Größe und Form eines Signals. Je länger die Stripline ist, umso mehr Spielraum besteht hier.

Mit steigender Frequenz der Signale verschärft sich die Problematik ebenso. Nicht vergessen darf man die Störproblematik (Abstrahlung wie Aufnahme von Störsignalen). Eine Stripline ist ja nicht wirklich geschirmt. Durch Fehlanpassung kann es zudem zu Jitter kommen. Daher macht es Sinn, einmal darüber nachzudenken, wie eine High-Quality-Signalquelle richtig zu implementieren ist. Folgende Punkte sollten dabei Beachtung finden:

- Isolation einer Takt- oder Signalquelle von jeder anderen Quelle
- sorgfältige Erdung (Grounding) und Power-Supply-Entkopplung
- kürzeste Leitungswege für die Signalübertragung anstreben
- zu taktende Stufen möglichst nahe am Taktgenerator anordnen
- Auswahl des optimalen Outputs/Signalformats

- sichern, dass die Ausgangstreiber bestmöglich angepasst sind

Konzentrieren wir uns auf die letzten beiden Punkte! Reflexionen und Dämpfungen treten auf, wenn die Leitungen nicht richtig terminiert wurden. Reflexionen rufen Jitter hervor, während Dämpfungen die Übertragungssicherheit beeinträchtigen (höhere Störempfindlichkeit). Somit werden Signalform und Gesamtleistung beeinträchtigt. Es geht also vor allem darum, die Signalintegrität zu sichern. Dazu gehört es auch, einen Oszillator mit geringem Phasenrauschen einzusetzen.

Wir betrachten zunächst Familien mit Single-Ended-Ausgang und dann Typen mit Differenzausgang.

Das (Clipped-) Sinussignal

Die Begriffe Sinewave und Clipped Sinewave sind oft anzutreffen. Der Sinus ist das „natürliche“ Ausgangssignal jedes Quarzoszillators und weist bekanntlich den maximalen Grad an spektraler Reinheit auf. Mehr kann man von einem Oszillator nicht verlangen. Per Definition gibt es nur eine fundamentale Frequenz und idealerweise keine Subharmonische oder Harmonische. Einen „Standard“-Ausgangspegel gibt es nicht, obwohl eine einzige Angabe (Spannung oder Leistung) genügen würde. Man gibt die Ausgangsleistung meist in dBm an. Sinewave Outputs sind in der Regel dafür bestimmt, 50-Ohm-Impedanzen als Last zu treiben, daher sollte auch die Stripline diesen Wellenwiderstand aufweisen.

Die meisten logischen Ausgangssignale sind aus einem Sinus oder Clipped Sinus abgeleitet. Dabei leidet immer die Phasenrausch-Performance, denn nur ein reiner Sinus hat die besten Voraussetzungen, das geringste Phasenrauschen mit sich zu bringen.

Clipped Sinewaves entstehen durch Begrenzung (Limiting) eines Sinussignals. Hierbei hat man natürlich einen Spielraum. Man kann stark oder schwach begrenzen mit entsprechenden Folgen für Nebenwellen. Je

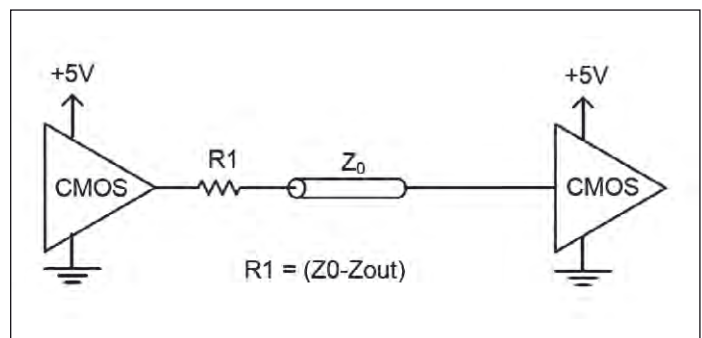


Bild 1: Die häufigste Methode, um einen CMOS Driver bei kurzer Leitungslänge richtig abzuschließen.

Quelle: Signal Types and Termination, Vectron Application Note Vectron International www.vectron.com

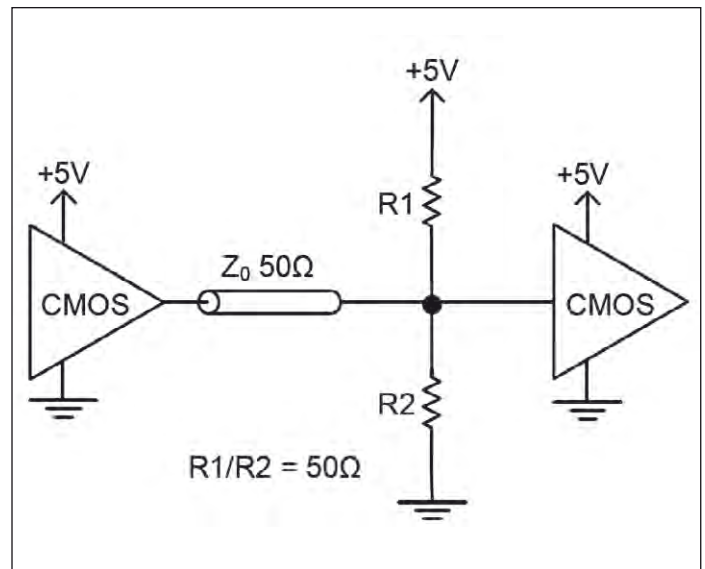
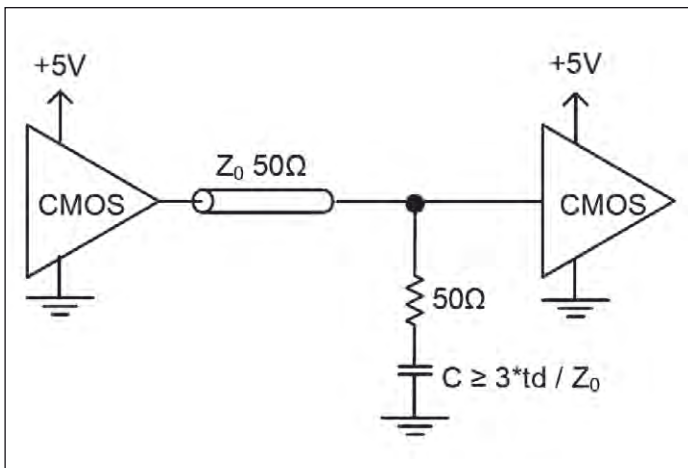


Bild 2+3: Zwei alternative Methoden zum Abschluß eines CMOS-Drivers bei kurzer Leitungslänge.

mehr man limitiert, umso mehr zusätzliche Harmonische entstehen bzw. umso mehr leidet die spektrale Reinheit. Dennoch können die scharfen Übergänge nützlich sein. Oder der Eingang ist für den Spitzenwert der Sinusspannung gar nicht ausgelegt. Clipped-Sinewave-Systeme verbrauchen weniger Leistung als voll-digitale Logik-Outputs, und aus diesem Grunde sind sie populär in TCXO-Designs, wo geringste Wärmeentwicklung gewünscht wird. Bereits eine zusätzliche CMOS-Stufe könnte hier stören. Clipped-Sinewave TCXOs sind für eine Last aus 10 pF/10 kOhm vorgesehen.

CMOS, HCMOS and LVCMOS

CMOS steht für Complementary Metal Oxide Semiconductor, was bedeutet, dass ein solcher Puffer aus einem p- und einem n-Kanal-MOSFET besteht.

CMOS-Signale führt man in der Regel auch über Leitungen mit 50 Ohm Impedanz, wobei die Empfänger selbst aber eine höhere Impedanz aufweisen. Daher ist oft eine zusätzliche Termination anzutreffen. Da diese Leistung verbraucht, transformiert man dort, wo es auf hohe Störfestigkeit ankommt.

Mit ihrem Rail-to-Rail-Swing besetzen CMOS-Ausgänge einen heute eher "niederfrequenten"

Taktbedarf (unter 200 MHz) bei Leitungslängen bis 1/4 Lambda. Man sollte bei der Leitungslänge immer die Transformationswirkung für die stärkste Oberwelle mit berücksichtigen.

Für sehr geringe Frequenzen und mechanisch kurze Verbindungen oder den Direktanschluss bestehen solche Probleme nicht. Auf Terminierung oder Anpassung kann verzichtet werden. Allerdings kann in manchen Fällen ein Längswiderstand von 20 bis 50 Ohm zur Störfestigkeit beitragen (Bild 1). Er reduziert Reflexionen und sichert die Signalintegrität. Die Bilder 2 und 3 zeigen andere Methoden zum Impedance Matching. Diese erhöhen allerdings die Betriebsleistungsaufnahme (Power Consumption).

HCMOS steht für High-Speed CMOS und ist also die Hochgeschwindigkeits-Variante des originalen CMOS-Systems. Immer häufiger als der Begriff CMOS taucht der Begriff HCMOS in der Oszillatorenwelt auf.

LVCMOS bedeutet Low-Voltage CMOS, das ist also die originale CMOS-Technik, modifiziert für geringe Betriebsspannungen (2,7 oder 3,3 V).

ACMOS schließlich steht für Advanced CMOS. Hier geht es vor allem um höhere Flankenteilheit und Schnelligkeit gegenüber dem Original.

Da diese Bezeichnungen aber durchaus verschieden interpretiert werden können, empfiehlt Vectron, einen Oszillator auf jeden Fall anhand der Rise/Fall Time, anhand der Lastbedingungen sowie der typischen Werte für L und H zu spezifizieren. Damit verlieren die Bezeichnungen CMOS, HCMOS, ACMOS, LVCMOS etc. ihren möglicherweise verunsichernden Einfluss.

Das TTL-System

Die Transistor to Transistor Logic (TTL) ist der älteste I/O-Standard. TTL arbeitet an 5 V oder 3,3 V. Infolge der niedrigeren Transistorwiderstände und der höheren Ströme ist TTL schneller als CMOS, Frequenzen bis 100 MHz sind möglich. Von Vorteil ist hierbei, dass die Betriebsstromaufnahme sich bei hohen Frequenzen kaum von der bei geringen Frequenzen unterscheidet – im Gegensatz zu CMOS. TTL-Ausgänge werden ähnlich gehandhabt wie CMOS-Ausgänge. Bereits während der achtziger Jahre wurden CMOS-Bausteine populärer als TTL-ICs infolge ihrer Vorteile Large-Scale-Integration, Ruhestrom nahe null, gute Störfestigkeit, verbesserte Rise/Fall Times und geringe Herstellungskosten. CMOS hat TTL im Bereich relativ niedrigerer Taktraten komplett abgelöst.

Differential-Logik-Familien

Single-ended-Signalübertragungstechniken sind anfällig auf Gleichtaktstörungen. Dem könnte man durch Erhöhen der Signalspannung entgegenwirken, allerdings um den Preis erhöhter Betriebsleistung und verminderter Geschwindigkeit. Single-ended-Übertragungsleitungen weisen auch eine höhere Dämpfung auf als Zweidrahtleitungen, da sie vom Wellenwiderstand her niederohmiger sind. Die Verlustwiderstände wiegen also schwerer. Wieder könnte man dies mit erhöhter Signalleistung ausgleichen.

Differentiale Puffer beseitigen diese Schwächen. Sie stellen ein Paar komplementärer Signale bereit ("opposite Polarities"). Jedes Bit ist quasi zweigeteilt. Die Leitung setzt die Teile übereinander. Der Empfänger reagiert auf Differenzen zwischen den beiden Signalanteilen, nicht jedoch auf Gleichtaktstörungen! Diese werden also ausgeblendet.

Differentiale Transmissionstechniken dämpfen relativ wenig und erlauben hohe Datenraten über große Distanzen.

ECL (Single-ended oder differential)

Die Emitter-Coupled Logic (ECL) wurde als Alternative zur TTL-Logic entwickelt und eingeführt, denn sie ist besser geeig-

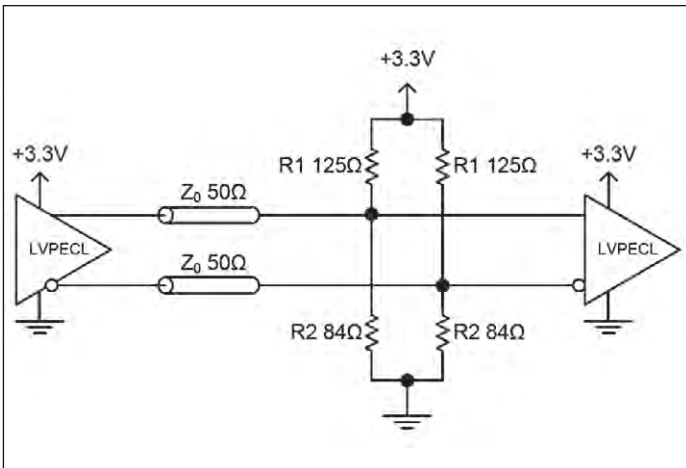


Bild 4: Meistgenutzte Variante der LVPECL-Termination

net für die Highspeed-Datenübertragung. Emitter-Coupled Logic nutzt Mehrmitter-Transistoren, um den Strom im Gatter zu steuern und um logische Funktionen zu realisieren. Da die Transistors immer in der aktiven Region arbeiten, können sie ihren Zustand äußerst schnell ändern. Daher ermöglicht ECL besonders hohe Geschwindigkeiten.

Aber ECL leidet an zwei Nachteilen. Zum einen werden recht hohe Ströme benötigt, zum anderen ist eine negative Versorgungsspannung zusätzlich erforderlich. Dies kann Probleme verursachen, etwa wenn ein Interface zu einer einfach versorgten Stufe erforderlich wird. Wenn man ECL auf Masse (Ground) bezieht, leidet die Störfestigkeit.

PECL, LVPECL

LVPECL und PECL sind beide "Offshoots" der originalen ECL-

Technologie, welche bereits in den sechziger Jahren entwickelt wurde.

PECL steht für Positive Emitter-Coupled Logic und arbeitet an einer positiven Spannung von 5 V.

PECL-Logikausgänge werden für gewöhnlich in Highspeed-Takt-Distributionsstufen genutzt. Als ein differentielles Übertragungsschema bietet PECL die Vorzüge hoher Störfestigkeit und die Fähigkeit, hohe Datenraten über große Distanzen zu übertragen. Ein anderer Vorteil von PECL ist die gute Jitter Performance infolge des großen Spannungs-Swings. Von Nachteil sind der hohe Stromverbrauch (im Vergleich zu einer Single-ended-Versorgung) infolge des Bedarfs von 5 V und eventuell von externem DC Biasing.

Low-Voltage PECL (LVPECL) benötigt nur 3,3 oder 2,5 V. Das harmonisiert mit den Versorgungs-

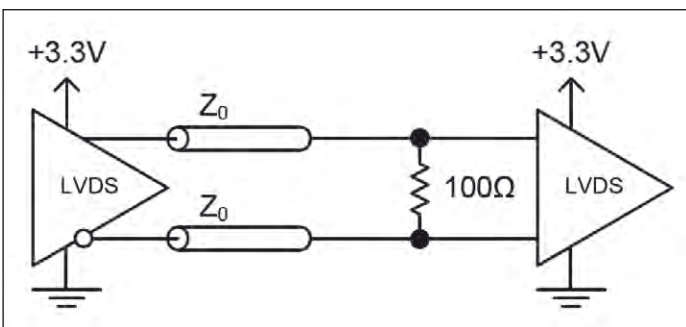


Bild 6: Abschluss von LVDS. Oft umfasst der Receiver einen Abschluss auf dem Chip, und der zusätzliche 100-Ohm-Widerstand kann entfallen.

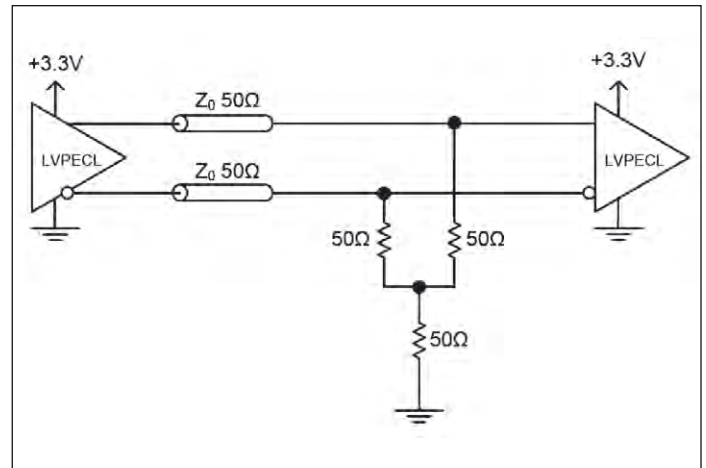


Bild 5: Eine alternative LVPECL-Terminationsschaltung

spannungen von Low-Voltage CMOS. LVPECL bildet die Basis einer ganzen Anzahl von Übertragungsprotokollen, wie Gigabit Ethernet und Fibre Channel. Die elektrischen Spezifikationen von LVPECL sind ähnlich denen von LVDS, allerdings ist bei LVPECL der differentiale Spannungs-Swing größer. LVPECL tendiert dazu, etwas weniger leistungseffizient zu sein als LVDS. Das hängt mit den ECL-"Origins" und dem größeren Swing zusammen. Jedenfalls kann auch LVPECL Datenraten bis 10 Gbps verarbeiten.

Der LVPECL-Ausgangsstrom ist typisch 15 mA und kommt von einem offenen Emitter. Dies erfordert eine Termination durch eine resistive Last, um eine Spannung abzuleiten. Die Bestimmung für LVPECL ist 50 Ohm Impedance Trace und 50 Ohm equivalent Load. Dazu bringen Bild 4 und 5 Informationen. Für bestmögliche Performance sollten die Outputs gleich terminiert werden, also mit der selben Methode. Ein nicht genutzter Ausgang sollte niemals frei bleiben. Weiter zu beachten: Verschiedene Empfänger von verschiedenen Herstellern können verschiedene Eingangstoleranzen haben, da ein gemeinsamer Standard noch fehlt. Man sollte also hier etwas „Homework“ leisten, um das System sicher zu dimensionieren.

CML (Current-Mode Logic)

CML-Ausgänge bieten die gleiche Performance wie LVPECL, allerdings wird hier kein externer Bias benötigt, und daher ist CML immer dann eine gute Option, wenn eigentlich ein LVPECL-Output erforderlich ist, aber der Leistungswiderstand beachtet werden muss bzw. kritisch ist. CML-Ausgänge müssen kapazitiv gekoppelt werden (DC-Trennung), damit nicht Versorgungsstrom in andere Schaltungsteile fließt.

LVDS

LVDS steht für Low-Voltage Differential Signaling und ist LVPECL sehr ähnlich. Auch hier gibt es einen Stromausgang, wenn auch nur mit 4 mA, was natürlich eine geringere Power Consumption gegenüber LVPECL bedeutet. LVDS-Ausgänge haben 100 Ohm Impedanz und sollten daher am besten eine 100-Ohm-Last bedienen. Dies bedeutet einen Spannungshub von typisch 350 mV.

LVDS reduziert hauptsächlich Störprobleme und verursacht geringere EMI-Emissionen im Vergleich zu CMOS und TTL. Von Nachteil bei LVDS kann jedoch die reduzierte Jitter Performance gegenüber PECL sein. Wie auch immer: Die Vorteile machen LVDS etwa gleich attraktiv wie LVPECL.

LVDS wird in Highspeed-Datenübertragungs-Applikati-

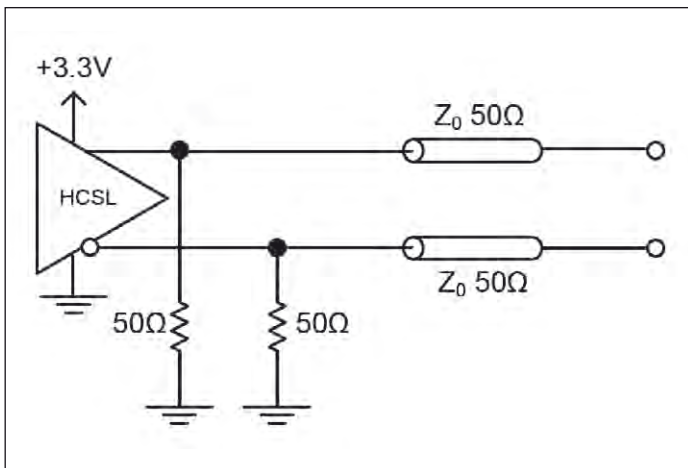


Bild 7: Einfache HCSL-Terminierung

onen genutzt, etwa in teilweisen Backplane-Transceivern oder bei der Takterzeugung. LVDS funktioniert mit Datenraten bis 3,125 Gbps. Für höhere Ansprüche muss man HCSL, CML oder LVPECL nutzen. Um diese sehr hohen Datenraten zu erreichen, muss man einen typischen Signal-Swing von 800 mV anstreben. Deswegen erfordern HCSL, CML und LVPECL generell mehr Leistung als LVDS.

LVDS trifft man typisch in neueren Designs, denn es ist bequem mit CMOS-ICs zusammenzubringen und fügt sich gut in die dortigen System-Level ein. LVDS-Ausgänge erfordern kein externes Biasing und nur einen einzigen 100-Ohm-Terminationswiderstand, wenn sie auf

LVDS-Eingänge arbeiten sollen, siehe Bild 6. Das LVDS-Signal erfordert nicht unbedingt eine AC-Kopplung nach der 100-Ohm-Last. Doch in jedem Fall lohnt ein Blick auf die innere Struktur des Receiver-Eingangs.

HCSL

High-Speed Current Steering Logic steckt hinter HCSL, und diese Ausgänge findet man in PCI-Express-Applikationen und Intel-Chipsets. HCSL ist ein neuerer differentieller Standard und recht gut vergleichbar mit LVPECL. Eine 15-mA-Stromquelle wird hier ebenso von einem Open Emitter gebildet. Als nicht intern terminierte Anschlüsse werden externe 50-Ohm-Widerstände gegen

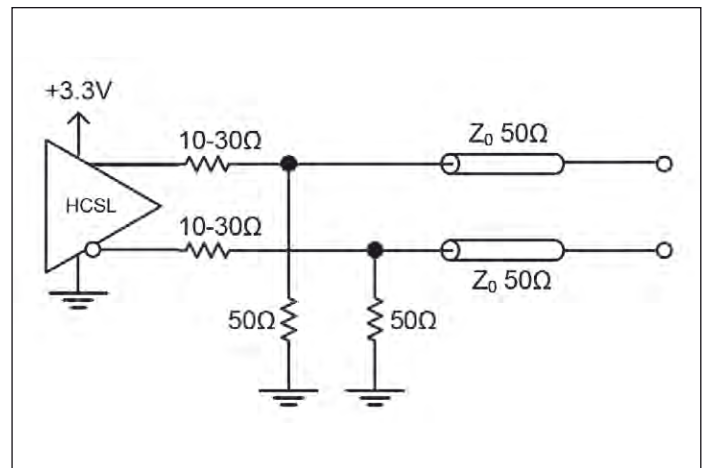


Bild 8: Erweiterter HCSL-Abschluss

Masse benötigt, siehe Bild 7. HCSL ist ein High-Impedance Output mit dennoch kurzen Umschaltzeiten. Vorteilhaft sind oft serielle Widerstände von 10 bis 30 Ohm gemäß Bild 8. Sie helfen, Überschwüngen bzw. Ringing zu vermeiden. HCSL zeichnet sich durch die höchste

Schaltgeschwindigkeit und einen Leistungsverbrauch aus, der zwischen LVDS und LVPECL angesiedelt ist. Die Phasenrausch-Performance ist vergleichsweise gut. Auch hier ist zu empfehlen, die Receiver-Input-Struktur zu beachten, um eventuelle Probleme zu vermeiden. ◀

Auf den Punkt gebracht

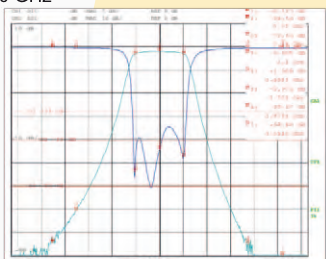
- Jitter
LVPECL verspricht die beste Jitter Performance, gefolgt von LVDS und dann CMOS.
- Phasenrauschen
CMOS bietet geringstes Phase Noise aufgrund geringer Rise und Fall Time, was sich in manchen Fällen auch in herabgesetztem Jitter äußern kann.
- Power
Für geringste Betriebsleistungsaufnahme wähle man CMOS oder LVDS. LVPECL ist zwar schneller, benötigt aber auch mehr Power.
- Speed
HCSL und LVPECL sind sehr schnell, benötigen aber auch eine hohe Versorgungsleistung. LVDS ist schneller als CMOS.
- Ease of Use
LVPECL erfordert externe Widerstände zwecks Termination sowohl am Transmitter als auch am Receiver. LVDS benötigt nur einen Widerstand am Receiver.

Wainwright Instruments GmbH

HF-Filter • Mikrowellen-Filter • Diplexer • Multiplexer

Seit nun 34 Jahren entwickeln und fertigen wir in Deutschland HF & Mikrowellenfilter.
Auf unserer Webseite finden Sie tausende Standarddesigns mit ausführlichen Spezifikationen und Preisen. Selbstverständlich erstellen wir Ihnen auch Angebote über Filter, die Ihren Bedürfnissen genau angepasst sind. Wir liefern direkt an unsere Kunden und haben keinen Mindestauftragswert.

Bandpassfilter im L/C-Design
Kleine Baugröße
z.B. 90 mm x 12.7 mm x 13.2 mm
für einen 9 kreisigen Bandpass bei 2600 MHz
Mittelfrequenzen zwischen 1.0 und 5.0 GHz
Variable Bandbreiten auch über 10%
Unterschiedliche Steilheiten verfügbar
HF-Belastbarkeit: 20 W
Returnloss: 14 dB min.
Steckverbinder: SMA oder N



Weitere Angaben und ein Angebot hierzu senden wir Ihnen gerne zu. Selbstverständlich erstellen wir Ihnen auch Angebote über andere Filter, die Ihren Bedürfnissen genau angepasst sind.

RoHS
Unsere Filter entsprechen den gültigen RoHS-Richtlinien

TUV
AUSTRIA
ISO 9001
ISO 14001
OHSAS 18001

PIM-Testing

www.wainwright-filters.com

Graf-Rasso-Str. 1
82346 Andechs
Germany

Tel.: +49 (0) 8152-9182-30
Fax: +49 (0) 8152-9182-55
E-Mail: info@wainwright-filters.com