Das SPI-Interface

Die SPI-Schnittstelle wird am häufigsten für synchrone Datenübertragung benutzt, weil sie verhältnismäßig hohe Übertragungsraten mit vielseitigen Konfigurationen ermöglicht.

Die Schnittstelle findet sich in der 3-Draht-Version auch bei vielen komplexen ICs der Kommunikationstechnik, um darüber z.B. Frequenzen zu programmieren, Filtercharakteristiken zu ändern oder Verstärkungen bzw. Dämpfungen zu wählen. Daher soll die folgende Einführung einige ihrer grundlegenden Eigenschaften und Betriebsweisen erläutern.

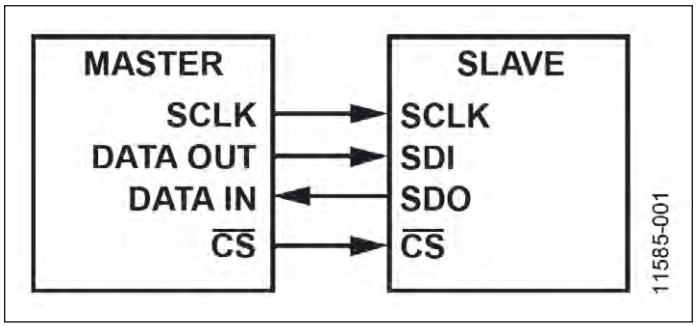


Bild 1: Grundlegende Verbindungen des SPI-Interfaces

Obgleich SPI ein tatsächlicher Standard geworden ist, ist es kein „de jure Standard", ist also nicht offiziell festgelegt. Dies kann manchmal ein Vorteil sein, weil der Entwickler das Interface nach seinen Vorstellungen optimal konfigurieren und einsetzen kann, jedoch erschwert es eventuell die Verbindung zwischen verschiedenen Komponenten.

Die SPI-Interface besteht aus vier unidirektionalen Leitungen, deren Bezeichnungen – je nach Hersteller – unterschiedich sein können.

- Schnittstelle aktivieren: CS´, SYNC´, ENABLE´, usw.
- Daten Eingang: SDI, MISO (für Master), MOSI (für Slave), usw.
- Daten Ausgang: SDO, MISO (für Slave), MOSI (für Master), usw.
- Clock: SCLK, CLK, SCK, usw.

Manchmal sind nur drei Leitungen erforderlich. In einem DAC z.B. kann es möglicherweise nicht notwendig sein, die Daten zurück zu lesen, oder im Falle eines ADC die Daten zurück zu senden. Dann kann der Anschluss als 3-Draht-Schnittstelle definiert werden.

Master-Slave-Kompatibilität

Die erste Schritt besteht darin, die Kompatibilität der Master-Slave-Verbindung zu garantieren. Die SPI-Schnittstelle ist keine offizielle Spezifikation, also ist es wichtig sicherzustellen, dass Daten vom Master zum Slave und umgekehrt in beide Spezifikationen passen.

SPI ist keine vollständig synchrone Schnittstelle, weil die Daten mit dem Takt synchroni-

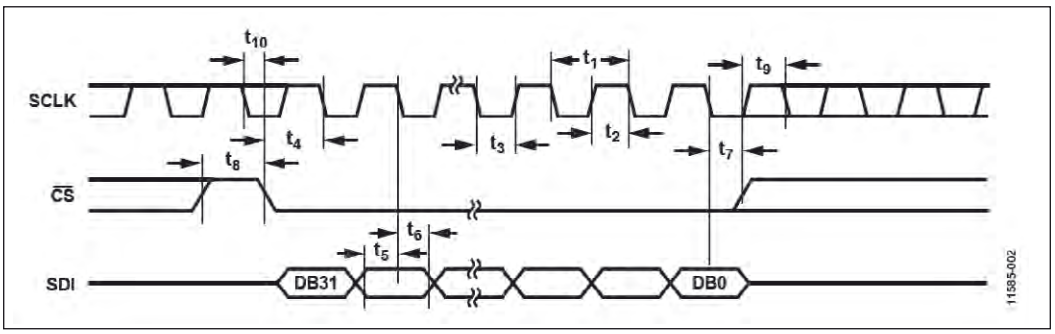


Bild 2: Beispiel für ein SPI-Timing-Diagramm

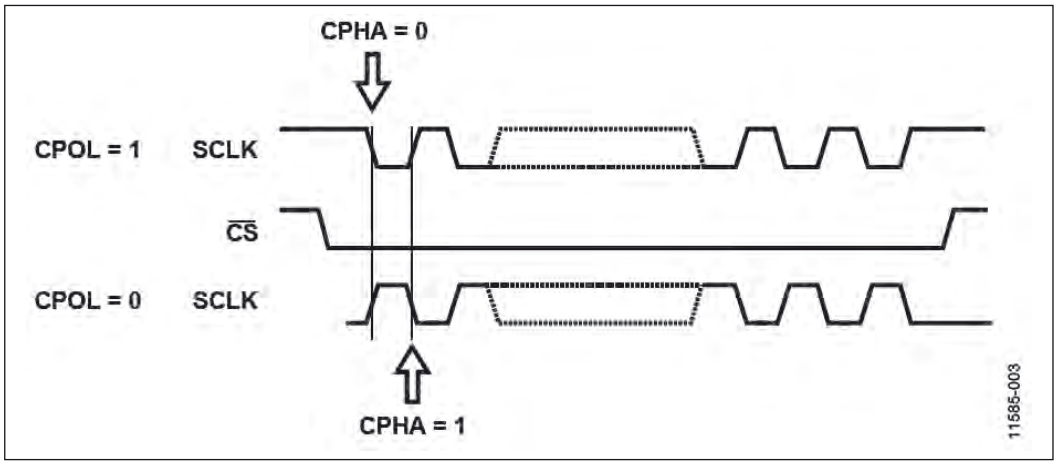


Bild 3: SPI-Timing

Unter Verwendung von:
Application Note AN-1248
« SPI Interface »
Miguel Usach
Analog Devices
www.analog.com

siert werden, aber CS´ kann synchron sein oder nicht. In einer vollständig synchronen Schnittstelle werden die Flanken in eine Sampling- und eine Driving-Flanke unterteilt. An der Driving-Flanke können die Daten auf dem Bus aktualisiert werden, an der Sampling-Flanke werden die Daten am SDI/DATA-Pin eingelesen. In der Praxis können die Bus-Daten zu jeder Zeit aktualisiert werden, außer während der Sampling-Flanke.

Die SPI-Schnittstelle definiert vier Übertragungsbetriebsarten. Der Master sollte in der Lage sein, alle vier Betriebsarten zu unterstützen, aber das muss vorher bestätigt werden, weil der Master manchmal mit einer bestimmten Betriebsart nicht kompatibel ist. Dies kann mit Hilfe von Invertern korrigiert werden. In den meisten Fällen kann jedoch der Slave nicht konfiguriert werden und funktioniert nur in einer Betriebsart. Manchmal arbeitet er aber auch in bis zu zwei verschiedenen Betriebsarten.

Mode	Polarity (CPOL)	Phase (CPHA)
0		
1		
2		
3		

11585-004

Tabelle 1: SPI-Betriebsarten

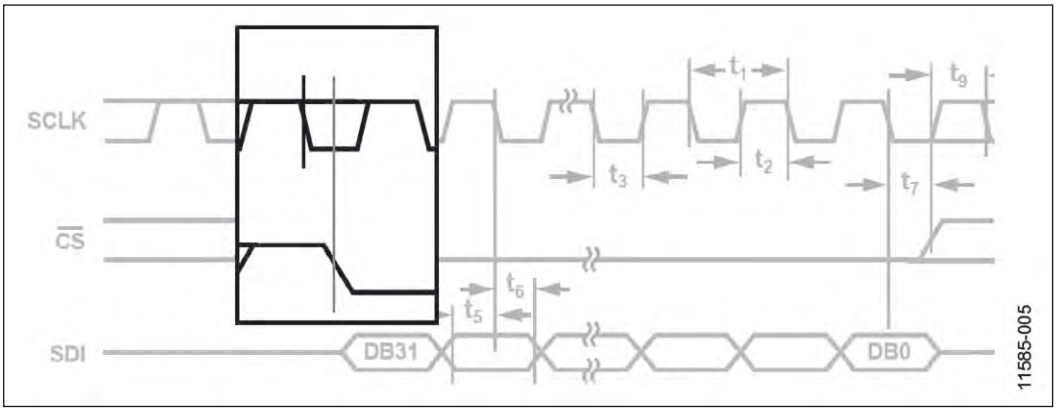


Bild 4: Polaritäts-Modus

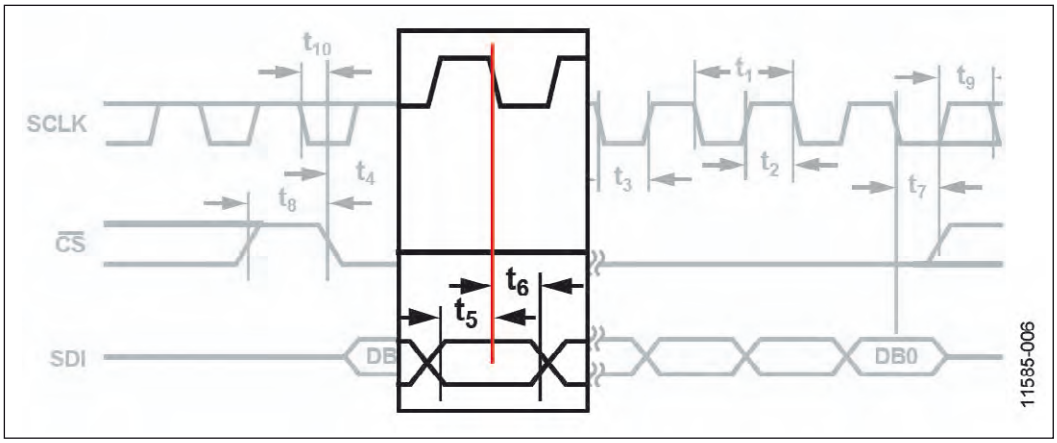


Bild 5: Phasen-Modus

Welche Übertragungs-Betriebsart wird vom Slave verwendet?

Das SPI-Timingdiagramm zeigt Bild 2. Die Betriebsart hängt vom SCLK-Pegel, manchmal auch Polarität (CPOL) genannt, bei Einleitung der Übertragung (CS´ auf LOW) und der Sampling-Flanke, genannt Phase (CPHA) (Bild 3), ab. Beachten Sie, dass die Phase relativ zur Polarität und kein absoluter Wert ist. Die SPI-Betriebsarten werden in Tabelle 1 erfasst.

Die Übertragungsbetriebsart zu identifizieren ist verhältnismäßig einfach. Es gibt eine Linie, die den fallenden Rand von CS´ mit SCLK verbindet, wie Bild 4 zeigt. In diesem speziellen Fall kann SCLK High oder Low sein; es gibt keine Beschränkung.

Das SDI-Diagramm sollte ein Bit enthalten, das von zwei Timing-Vorgängen eingeschlossen ist, nämlich SETUP und HOLD. Sie beziehen sich auf die Zeit, in der die Daten auf dem Bus vor und nach der Sampling-Flanke vorhanden sein sollten; daher können beide Timingschritte die Sampling-Flanke als Referenz verwenden, wie Bild 5 zeigt.

In diesem Fall fällt die Sampling-Flanke. Bezieht man diese Feststellungen auf Tabelle 1, so zeigt sich, dass der Slave kompatibel ist mit Mode 1 und Mode 2.

Wann werden die Busdaten aktualisiert?

Der SDO-Pin ist für die Übermittlung von Daten vom Slave zum Master und umgekehrt vorgesehen. Obgleich die Daten jederzeit aktualisiert werden können, setzt man gewöhnlich zwei Strategien ein.

Eine Strategie besteht darin, den SDO/DATA OUT-Pin an der Driving-Flanke, wie Bild 7 zeigt, zu ändern. Die andere aktualisiert die Daten am SDO/DATA OUT-Pin erst einige Nanosekunden nach der Sampling-Flanke, wie Bild 8 zeigt. Es gibt technische Gründe für beide Strategien, aber es ist wichtig, die Kompromisse zu verstehen.

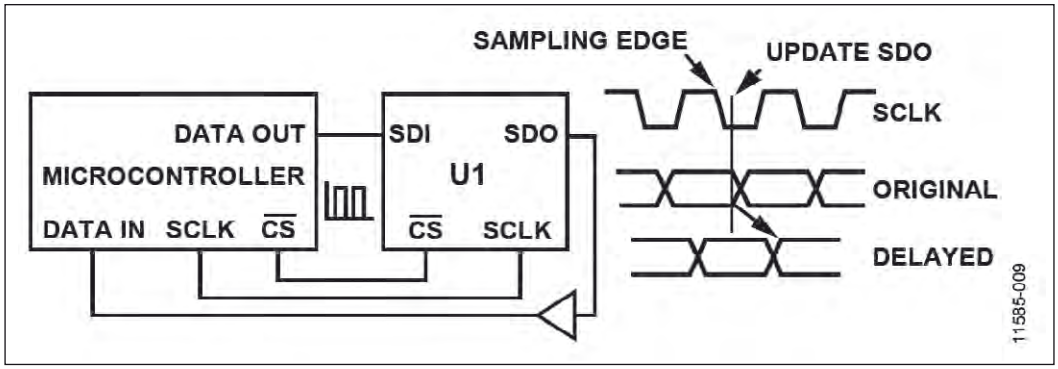


Bild 6: Enable-Zeit

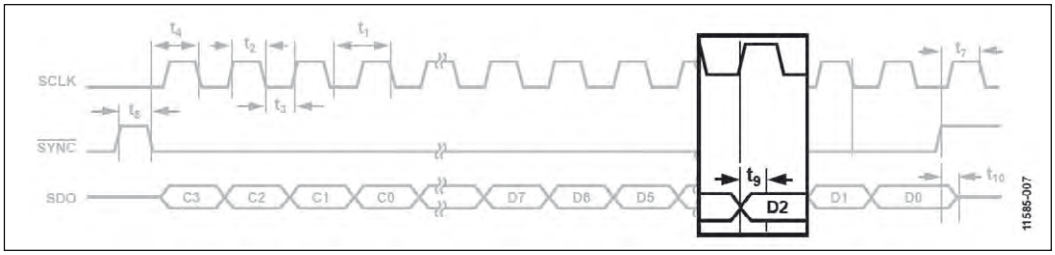


Bild 7: SDO-Update an der Driving-Flanke

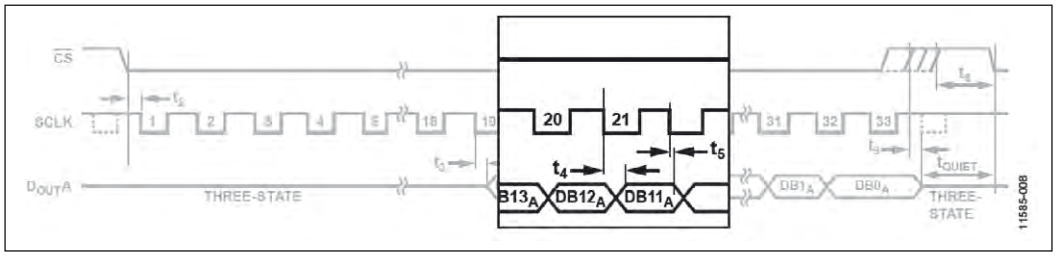


Bild 8: Verzögertes SDO-Update

Technology	Propagation Delay
AHC	4.4 ns
HC	9 ns
HCT	11 ns

Tabelle 2: NOR-Gatter-Technologien und Laufzeitverzögerungen

Master verwenden die erste Strategie, da die SDO-Treiber so ausgelegt wurden, dass sie schnelle Übergänge unterstützen. Slaves haben einen internen SDO-Treiber, der schwächer als der Master-Treiber ist. Daher ist die jeweils verwendete Strategie abhängig von der Transfergeschwindigkeit.

Wenn das SDO-Signal an der Driving-Flanke geändert wird, hat der Anschlusspin nur die Hälfte (oder sogar weniger) einer Clock-Periode Zeit, um das Signal zu ändern, weil das Signal einige Nanosekunden vor der Sampling-Flanke stabil sein sollte. Um ein korrektes Zurücklesen zu garantieren, muss die SCLK verringert werden, um zu garantieren, dass das Signal vor der Sampling-Flanke stabil ist.

Als Beispiel nehmen wir eine maximale Übergangszeit von 36 ns an. Für diese Zeit sind die SDO-Daten von der ansteigenden Flanke des SCLK-Signals an gültig. Dies heißt, dass die maximale Zykluszeit 36 n + Master-Setup-Zeit (angenommen 10 ns) = 46 ns beträgt, entsprechend einer maximalen SCLK-Frequenz zum Zurücklesen von 10 MHz.

Der Hauptkompromiss ergibt sich bei langsamen Mastern, da die Daten am Ausgang nur für einige Nanosekunden nach der Sampling-Flanke stabil sind und dadurch Zeitprobleme mit der Master-Hold-Zeit entstehen. Dieses Problem tritt auf, weil die Haltezeit größer als >15 ns ist. Wenn dies der Fall ist, empfiehlt es sich ein Logikgatter zu vorzusehen, um die neuen Daten im DATA IN Eingang solange wie erforderlich zu verzögern (siehe Bild 6).

Gibt es zusätzliche Überlegungen?

Freigabezeit

Die Freigabezeit definiert, wie schnell das SPI-Interface aktiviert wird und bereit ist, um Daten zu empfangen oder zu senden. Sie wird typisch auf die SCLK-Sampling-Flanke bezogen, wie Bild 9 zeigt.

Sperrzeit

Die Sperrzeit gibt an, wie schnell das SPI-Interface abgeschaltet wird, um alle neu erzeugten Sampling-Flanken zu ignorieren.

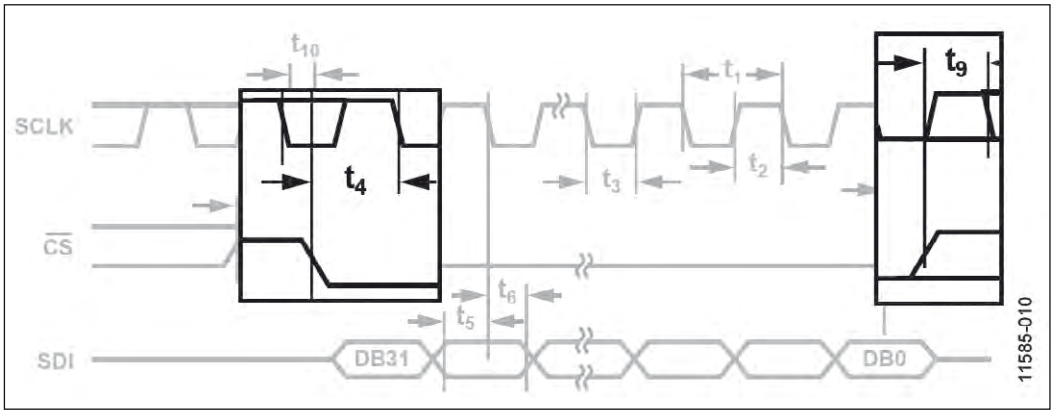


Bild 9: Enable- und Disable-Zeit

CS´ als „Start Conversion Signal“

Einige ADCs bieten mehrfache Funktionalität in einem Pin, um die Anzahl der Anschlüsse zu verringern, die Komplexität der Leitungsverbindungen zu reduzieren, oder um die Schaltung auch in kleinen Gehäusen unterzubringen.

Wenn CS´ benutzt wird, um das interne „Start Conversion“-Signal zu erzeugen, gibt es zwei verschiedene Realisierungsmöglichkeiten:

Erste Variante

Das SCLK-Signal wird als interner Takt benutzt, so dass ein kontinuierliches SCLK-Signal erforderlich ist. In diesem Fall ist SCLK beispielsweise zwischen einem Maximalwert von 20 MHz und einem Minimalwert von 0,01 MHz eingegrenzt.

Zweite Variante

Das Bauteil enthält einen internen Umwandlungs-Takt. In diesem empfiehlt es sich, keine SCLK-Impulse zu erzeugen, um die Umwandlung nicht durch eingekoppelte digitale Signale zu beeinflussen (Bild 11).

Wenn die SPI-Schnittstelle durch Hardware realisiert wird, und nicht durch ein FPGA, ist keine absolute Kontrolle des SCLK- und des CS´-Pins möglich. In diesem Fall empfiehlt es sich ein GPIO als CS´ zu verwenden, um die Relation zwischen CS´ und SCLK genau zu kontrollieren.

SDO als “Conversion Ready”-Pin

In einigen ADCs hat der SDO-Pin doppelte Funktionalität. Dies wird gewöhnlich als SDO/RDY bezeichnet. Der SDO-Pin wird mit CS´ abgeschaltet und bleibt hochohmig, bis die Umwandlung abgeschlossen ist..

SPI-Mode-Verbindung

Manchmal muss die Betriebsart extern modifiziert werden, sei es, dass der Controller nicht ein einem speziellen SPI-Modus konfiguriert werden kann, der vom Slave benutzt wird oder weil es erforderlich ist, dass alle Einheiten im gleichen SPI-Modus arbeiten, d.h. im Daisy-chain-Modus.

Betrachten Sie diese beiden Fälle:

- Die Betriebsart ist komplementär, wenn Mode 1 = Mode 2´ oder Mode 0 = Mode 3´ ist. Durch Verwendung eines Inverter-Gatters in der SCLK-Leitung ist das Problem gelöst.
- Die Betriebsarten sind nicht komplementär. Die Lösung

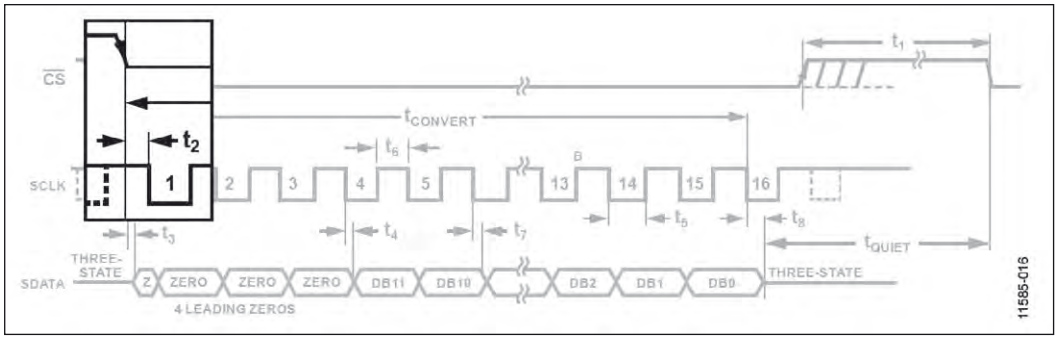


Bild 10: Kontinuierlicher SCLK während der Umwandlung

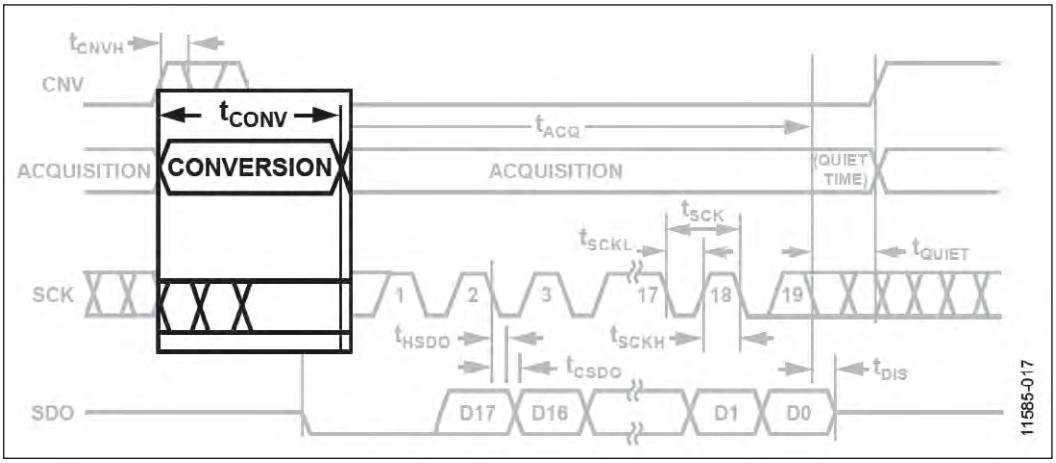


Bild 11: SCLK während der Umwandlung nicht aktiv

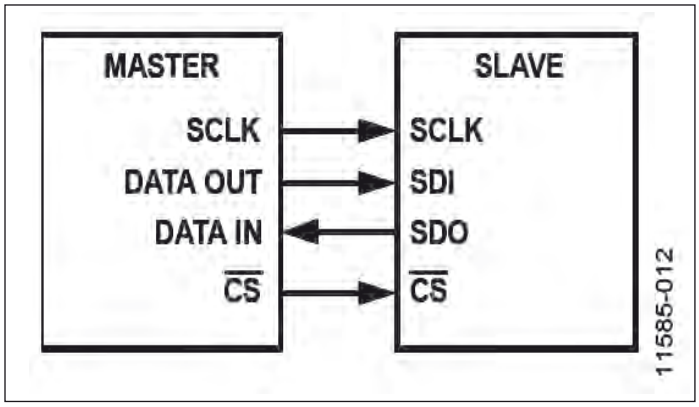


Bild 12: Stand-alone-Konfiguration

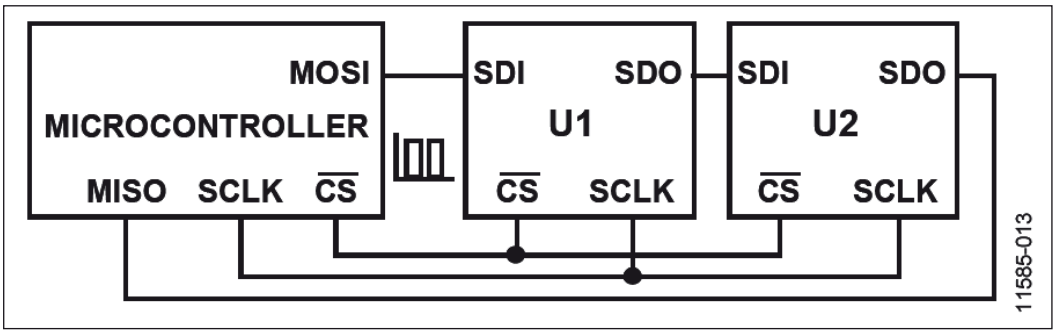


Bild 13: Daisy-Chain-Konfiguration

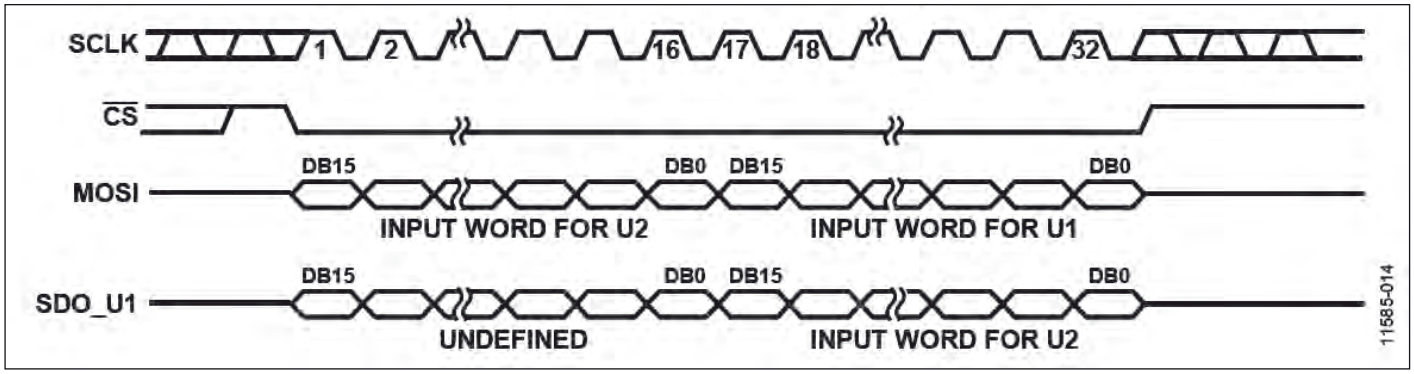


Bild 14: Daisy-Chain-Timing-Diagramm

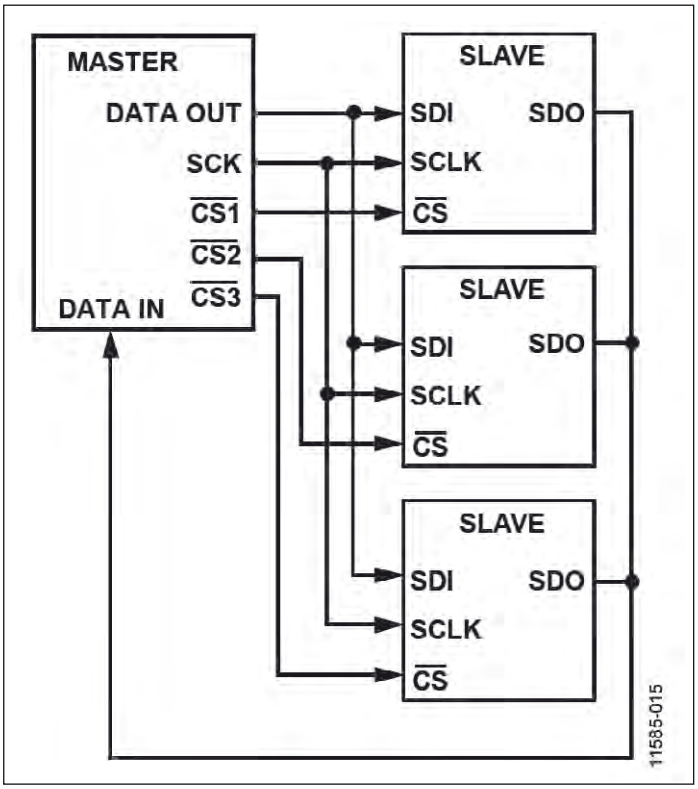


Bild 15: Parallele Konfiguration

dafür wird ein bisschen aufwändiger und erfordert den Einsatz von Invertern und Flipflops. Daher gilt die Empfehlung, dies zu vermeiden, weil Timingprobleme entstehen können.

Topologien

Die SPI-Schnittstelle ermöglicht verschiedene Topologien, durch die der Master einen oder mehrere Slaves steuern kann.

• Standalone-Topologie

In dieser Konfiguration gibt es nur einen Slave und einen Master, wie Bild 12 zeigt.

• Daisy-Chain-Topologie

In dieser Konfiguration gibt es einen Master und mehrere Slaves, die gemäß Bild 13 in Serie geschaltet sind. Der Hauptvorteil dieser Konfiguration ist die geringere Anzahl erforderlicher Verbindungen.

Beim Arbeiten in dieser Betriebsart muss oft die Taktperiode verlängert werden, aufgrund der Laufzeitverzögerungen zwischen aufeinanderfolgenden Interfaces. Außerdem sollte die Anzahl der Takte vergrößert werden, da die Anzahl der erforderlichen Takte die Summe aus U1 und U2 (siehe Bild 13) ist.

Den typischen Übertragungsablauf in einer Daisy-Chain-Konfiguration zeigt Bild 14. Das erste Datenwort wird dem letzten angeschlossenen Slave zugewiesen, das letzte dem ersten Slave in der Kette.

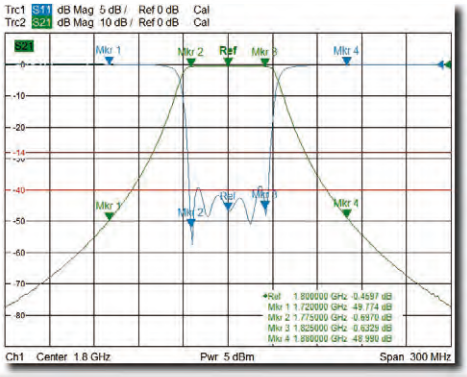
Parallele Konfiguration

In dieser Konfiguration gibt es einen Master und mehrere Slaves, die gemäß Bild 15 parallel verbunden sind. SCLK und SDI werden mit allen Interfaces geteilt. Wegen der höheren parasitären Leitungskapazität wird empfohlen, die Taktperiode etwas zu erhöhen. ◄

Wainwright Instruments GmbH
HF-Filter • Mikrowellen-Filter • Multiplexer

Seit über 35 Jahren entwickeln und fertigen wir in Deutschland HF & Mikrowellenfilter.

Ausführliche Spezifikationen und Preise von tausenden Standarddesigns finden Sie auf unserer Webseite.



Bandpassfilter bei 1800 MHz (Fo)
Cavity Design mit steilen Flanken und 50 MHz Durchlassband

Durchlassband: 50 MHz
Durchlassdämpfung: 0.75 dB max. bei Fo, 1.0 dB max. an den Ecken
Flanken: 55 MHz
Sperrdämpfung: 40 dB min.
Rückflussdämpfung: 14 dB min.

Betriebstemperatur: 15°C bis 45°C
Steckverbinder: SMA- oder N-female oder -male

Abmessungen: max. 130 mm hoch x 30 mm x 65 mm, plus Anschlüsse
Ungefähres Gewicht: 0.55 kg
Montagevorrichtung: 10 mm Flansche an beiden Enden mit 3.3 mm Löcher

Gerne senden wir Ihnen weitere Informationen.

Graf-Rasso-Str. 1
82346 Andechs
Tel.: +49 (0) 8152-9182-30
Fax: +49 (0) 8152-9182-55
E-Mail: info@wainwright-filters.com
Web: www.wainwright-filters.com
RoHS
Unsere Filter entsprechen den gültigen RoHS-Richtlinien
TÜV AUSTRIA
ISO 9001
ISO 14001
OHSAS 18001
PIM-Testing