Kintex UltraScale FPGAs für die Herausforderungen breitbandiger Mehr-Antennen-Funksysteme

Die Betreiber von Mobilfunknetzen verlangen bei der Verbesserung ihrer Netzabdeckung und Kanalkapazität durch größere Bandbreiten, MIMO-Antennen, mehr Funkzellen und neue Sendefrequenzen nach signifikanten Kostensenkungen für das dabei eingesetzte Equipment.

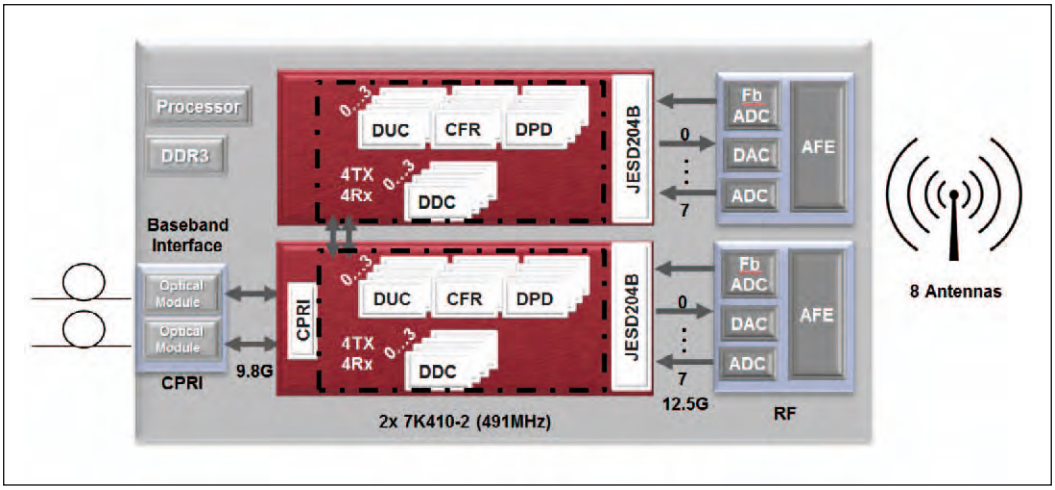

Bild 1: Ein 100-MHz 8x8 Funksystem mit zwei Kintex-7 FPGAs.

Gleichzeitig wollen sie ihre Betriebskosten senken, indem sie Funksysteme akquirieren, die bessere Effizienz und Integrationsfähigkeit versprechen. Die Hersteller von Equipment für drahtlose Infrastrukturen suchen deshalb nach geeigneten Design-Lösungen, die auf der Systemebene höhere funktionale Integration, bessere Performance und gesteigerte Flexibilität realisieren. Das senkt den Leistungsverbrauch ebenso wie die Kosten der Akquisition. Und nicht zuletzt müssen die Equipment-Anbieter alle diese Ziele mit kürzerer Time to Market erreichen.

LTE verändert den Aufbau der Funksysteme

Bei der Einführung von TDD-LTE und FDD-LTE in vielen Teilen der Welt zeigen sich deutliche Änderungen in den geforderten Funktionen und Leistungen der eingesetzten Geräte im Vergleich zu früheren Definitionen der Luftschnittstelle. Bei der Umstellung auf 3G mit CDMA2000 und WCDMA war die am häufigsten verwendete Konfiguration ein 20 MHz 2x2-Funksystem. Doch diese anfängliche Konfiguration hat sich längst weiterentwickelt zu neuen Konzepten, die größere Bandbreiten und weitaus mehr Frequenzbänder unterstützen. Deshalb entwickeln die meisten Equipment-Hersteller heute MIMO-Funksysteme, die bis zu 100 MHz an nutzbarer Bandbreite bieten. Diese neuen Konfigurationen verwenden typischerweise 4x4- und 8x8-MIMO-Antennenarrays.

Die Verfügbarkeit dieser ultrabreitbandigen Systeme erlaubt den Netzbetreibern den Einsatz eines einzigen Funksystems, das mehrere interessierende Frequenzbänder zugleich abdeckt – wie 1800 MHz, 1900 MHz und in Zukunft auch 2100 MHz. Das verringert die Zahl der auf Dächern und Funkmasten montierten Sender und reduziert damit die Kosten. Diese Evolution spart also nicht nur beträchtliche Investitionskosten für das Equipment, weil weniger Anlagen erforderlich sind, es senkt darüber hinaus durch deren kompakteren Aufbau auch signifikant die Betriebs- und Grundstückskosten mit geringerem Aufwand zur Sicherung gegen Windkräfte und verringertem Gewicht, das auf einem Sendeturm lastet.

Neue Lösungen für 8x8-Systeme

Ein 100-MHz 8x8-Funksystem erfordert den 20-fachen Aufwand in der Signalverarbeitung gegenüber einem 20-MHz 2x2-System. Wenn man die Anforderungen an die digitale und analoge Verarbeitung in derartigen Funkanlagen betrachtet, ist zunächst kaum einsehbar, wie solche Anlagen realisiert werden können und dabei die mechanischen, thermischen und kostenbedingten Anforderungen erfüllen, die mit passiv gekühlten, frei stehenden Sendern einhergehen. Klar ist, dass dies nach der fortlaufenden Evolution neuer Generationen von digitalen und analogen ICs verlangt.Am Beispiel der Anforderungen an die Systemebene eines 100-MHz 8x8 Funksystems lässt sich das gut darstellen.

In einem 8x8-Mobilfunksystem basieren die Entscheidungskriterien zur Definition und Dimensionierung der benötigten FPGA-Bausteine auf der Anzahl der Antennen, der Luftschnittstelle, der Zahl der Betreiber und der jeweils momentan verfügbaren Bandbreite. Die Anzahl der Antennen definiert die Zahl der erforderlichen Verbindungspunkte für die DA- und AD-Wandler. Die momentane Bandbreite des Funksystems definiert die Abtastrate – und damit die Geschwindigkeit und Anzahl der erforderlichen SerDes-Ports zur Verbindung der digitalen Signalverarbeitung im FPGA mit den DACs und ADCs.

Fortschreitende Integration der Datenwandler

Datenwandler haben in den letzten Jahren signifikante Fortschritte gemacht. Viele Hersteller liefern heute mehrere DACs und ADCs integriert in einem einzigen Gehäuse. Sie werden per JESD204B an die digitale Funksignalverarbeitung angebunden. Der JESD204B Interface-Standard ersetzt dabei die älteren, früher gern eingesetzten parallelen LVDS-Schnittstellen durch High-speed SerDes-Ports, die 12,5 Gb/s verarbeiten können.

Der Einsatz der JESD204B-Schnittstellen reduziert signifikant die Anzahl der erforderlichen Verbindungen zwischen den DA- und AD-Wandlern und dem digitalen Front-end. Das Ergebnis: weniger PCB-Layer und geringerer Leistungsverbrauch für das Inter-

David Hawke
Director Wireless Product Marketing
Xilinx
www.xilinx.com

facing. Außerdem werden diese JESD204B-Konverter immer weiter integriert. Sie werden so zu kompletten Subsystemen für die Uplink- und Downlink HF-Verarbeitung. Dies resultiert in High-performance HF-ICs mit DA- und AD-Wandlern, Filtern und Modulatoren für hoch integrierte und hoch leistungsfähige analoge Front-ends (AFEs).

Weniger Logik- und DSP-Ressourcen

Neben der Anzahl der erforderlichen SerDes-Transceiver bestimmen die Bandbreite und die Anzahl der Antennen eines Mobilfunksystems auch den Aufwand an Logik- und DSP-Ressourcen zur Verarbeitung von Algorithmen wie Digital-Up Conversion (DUC) und Digital-Down Conversion (DDC). Die DUC- und DDC-Algorithmen sind bestens zur Implementierung in FPGAs geeignet, denn sie erlauben die erforderliche Feinabstimmung ohne Änderungen der Hardware. Zwei zusätzliche, häufig eingesetzte Algorithmen sind Crest Factor Reduction (CFR) und Digital Pre-Distortion (DPD). Sie verbessern die Effizienz des Leistungsausgangs eines Funksystems.

Je nach den geforderten DSP-Ressourcen bei der Implementierung breitbandiger Funksysteme und der Anzahl der zur Kommunikation über acht Antennen benötigten SERDES gilt die Aufteilung der Algorithmen und ihre Abarbeitung in zwei getrennten Bausteinen als kosteneffektive Methode zur Implementierung eines Mobilfunksystems mit Xilinx-FPGAs der aktuellen Generation. Bild 1 zeigt eine solche Anordnung. Die Partitionierung des Systems schafft im Endeffekt zwei 100-MHz 4x4 Funksysteme. Ein Nebenprodukt der Partitionierung ist die gleichmäßige Verteilung der Betriebsleistung auf zwei digitale Bausteine. Das entschärft die thermischen Grenzbedingungen und vereinfacht die Ausführung des Designs.

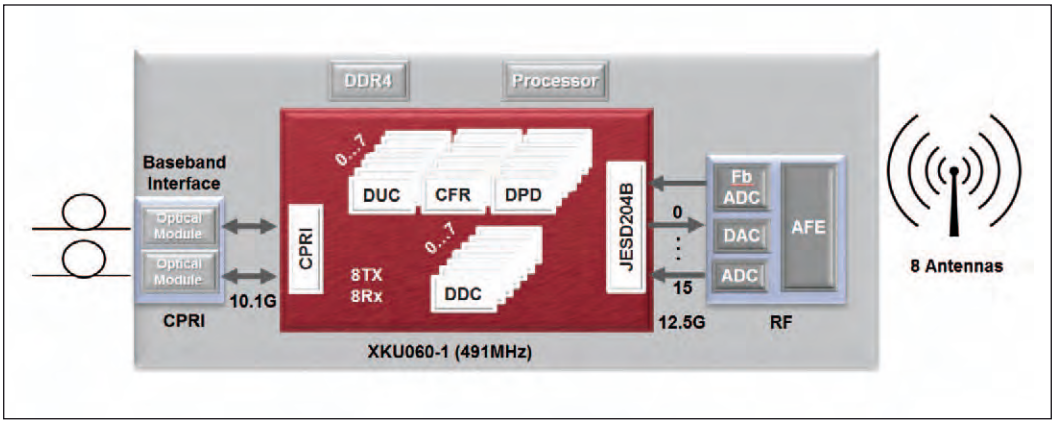

Bild 2: Implementierung eines 100-MHz 8x8 Funksystems mit nur einem Kintex UltraScale FPGA.

100-MHz 8x8-System mit einem FPGA

Mit dem Einsatz von Xilinx Kintex UltraScale-Bausteinen wird diese Partitionierung der Systemebene nun überflüssig. Die UltraScale-Bausteine bieten wesentlich an mehr DSP-Funktionalität und eine größere Zahl von SerDes-Ports. Außerdem verbrauchen sie erheblich weniger Leistung.

Das zeigt, dass die UltraScale-Architektur sehr genau auf die Anforderungen der Entwicklung dieser Art von Funksystemen abgestimmt ist. UltraScale umfasst ein sehr effizientes Block- und LUT- (Look Up Table) RAM. In Verbindung mit den optimierten DSP48E2 DSP-Blocks lassen sich damit zahlreiche Filtertypen darstellen, wie sie für die DUC-, DDC-, CFR- und DPD-Signalverarbeitung gefordert sind. Mit der programmierbaren Logik und Onchip-Speicherstruktur der UltraScale-Architektur kann man High-performance-Mikroprozessoren in Software implementieren. Diese lassen sich mit Hardware-Beschleunigung zur Implementierung hoch skalierbarer Koeffizienten-Engines mit kleinem Footprint für die DPD-Verarbeitung einsetzen.

Die UltraScale-FPGAs erreichen Taktraten von mehr als 491 MHz. Das ermöglicht den Einsatz von Time-Division-Multiplexing, um die für die Signalverarbeitung reservierten Chipflächen weiter zu verkleinern. Der niedrige Leistungsverbrauch eines FPGA-basierten Funksystem-Designs bleibt dabei erhalten. Als Konsequenz lässt sich ein 100-MHz 8x8 Funksystem nun mit nur einem Kintex-UltraScale-FPGA implementieren. Dies zeigt Bild 2.

Geringerer Leistungsverbrauch

Um ein derart komplexes Funksystem in einem einzigen Baustein zu implementieren, muss der gesamte Leistungsverbrauch stark abgesenkt werden, um die entstehende Wärme zu begrenzen. Die FPGAs auf der Basis der Xilinx UltraScale-Architektur sind in mehrfacher Hinsicht auf Low-power-Betrieb getrimmt. Erstens wird die statische Leistung zweier 28-nm-FPGAs durch ein einziges 20-nm-FPGA ersetzt. Der in Bild 2 dargestellte einzelne FPGA-Baustein verbraucht weniger Leistung als die beiden FPGAs nach Bild 1. Er liefert jedoch dieselbe Anzahl von Kanälen.

Über diese Betrachtungen hinaus hat das sorgfältige Design der Bausteine auch die dynamische Leistung der programmierbaren Logik und SerDes-Transceiver signifikant reduziert. Es sind also erheblich weniger DSP-Blocks zur Implementierung digitaler Filter für komplexe MAC-(multiply/accumulate) Operationen erforderlich. Die geringere Anzahl von DSP-Blocks reduziert den dynamischen Leistungsverbrauch und die Fläche zur Implementierung der DUC-, DDC-, CFR- und DPD-Algorithmen. Auf der Systemebene resultiert dies in einer Kostenreduktion um 8 Prozent pro Transmitter/Receiver-Paar und in der Absenkung des Leistungsverbrauchs um mehr als 31 Prozent - im Vergleich zur Implementierung mit einem Baustein der Vorläufer-Generation.

Weitere Kosteneinsparungen auf der Systemebene lassen sich durch die geringere Anzahl der erforderlichen PCB-Layer und die geringere Komplexität der Stromversorgung realisieren. Kleinere Stromversorgungen und weniger komplexe Kühleinrichtungen sorgen für eine Reduzierung des Gewichts eines Senders und der notwendigen Gehäusegröße. Auch das senkt den BOM-Aufwand und die Betriebskosten.

Zusammenfassung

Die Netzwerkbetreiber verlangen für ihre Low-cost-Infrastrukturen Equipment mit immer höherer Funktionalität und Zuverlässigkeit bei geringerem Leistungsverbrauch. Weitgehende Integration ist der Schlüssel zur Verwirklichung aller dieser Ziele.

Wie das oben gezeigte Beispiel belegt, kann man die entstehenden ultra-breitbandigen MIMO-Funksysteme, die früher nur mit mehreren Bausteinen, also zusätzlichem Platzbedarf und höherem Leistungsverbrauch realisierbar waren, mit neueren FPGA-Bausteinfamilien jetzt wesentlich effizienter implementieren. ■